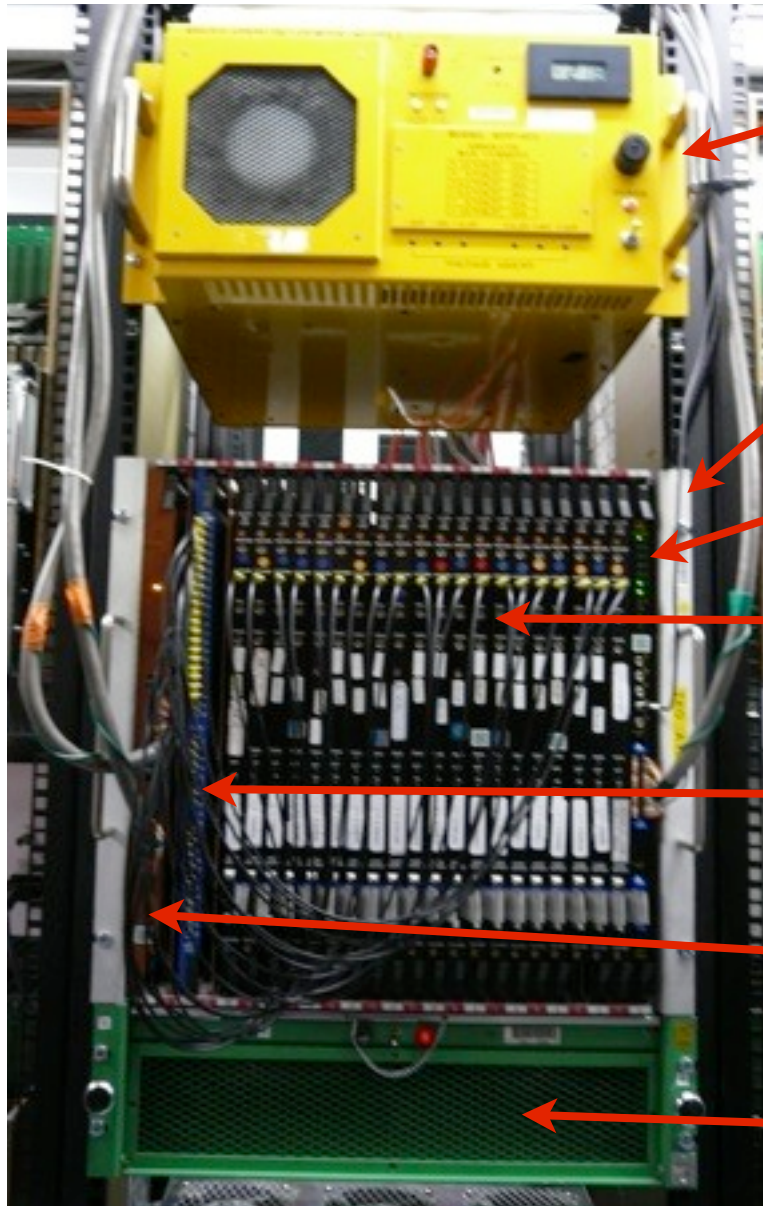


Mizuche Work ATM見学 report

A.Murakami

- 平出さんをお願いして、X-MASSのエレキの見学をさせていただき、ATMについて知りえたことが中心。

エレキラック(正面)



TKO HV module

TKO Crate

TKO GONG module

ATM Board

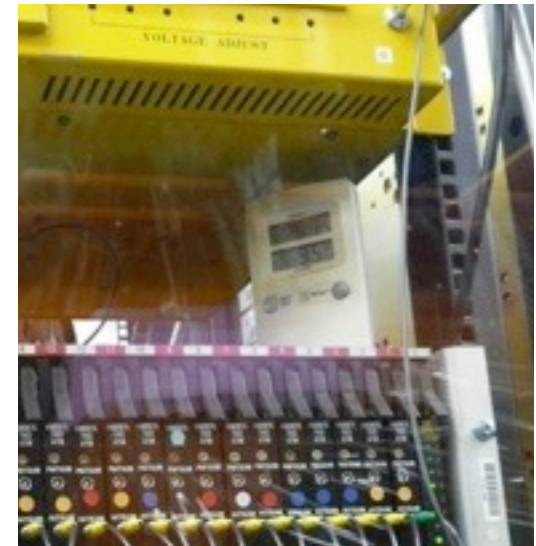
SUM module

TKO SCH

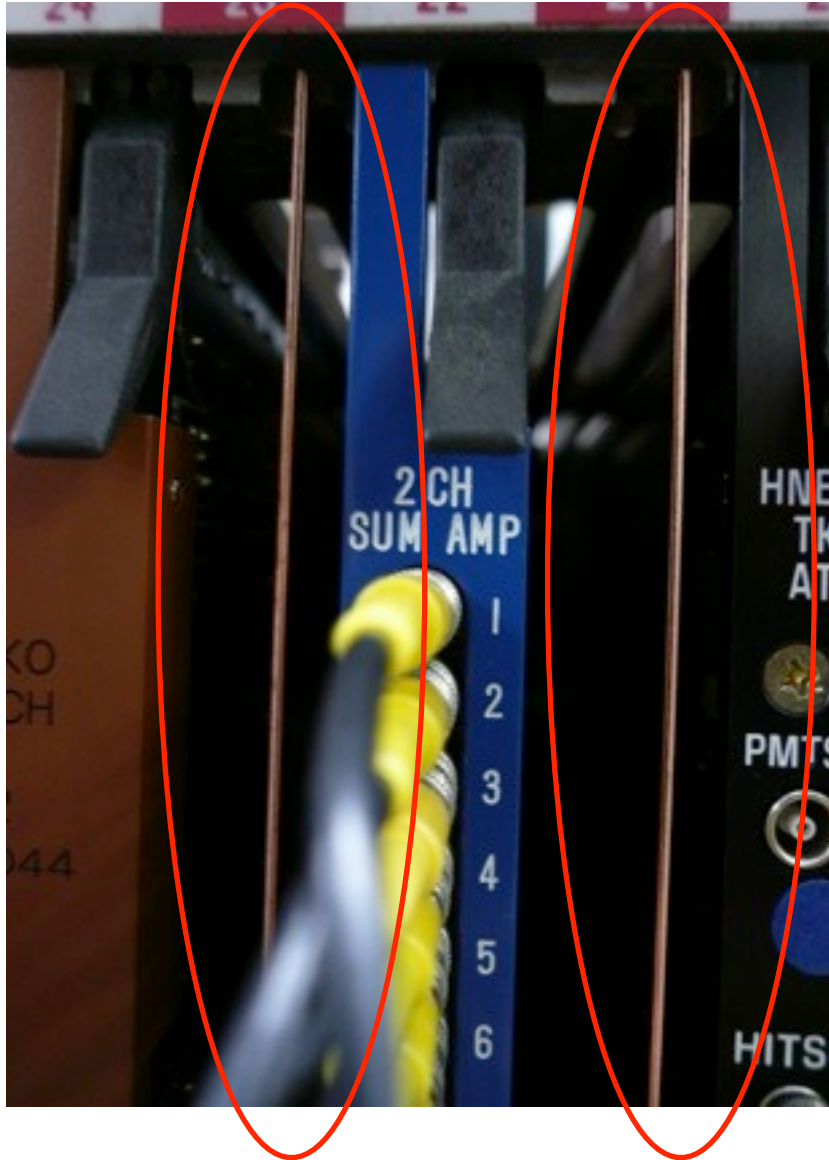
FAN

エレキラック (正面)

- エレキからの熱を上へ流して空調管理。
 - HVを一番上に持ってくるのは「ひどく大変だった」そうです。
- AMTボードは余裕があれば、一つ空けて指す。
- FANはなるべく大きいものが良い。小さいものでもAMT Crate の上下に配置するなら良いかも。
- HIT SUM module
 - 貸出可能な余りはないそうです。→ 要考察
- 別のATM Crateでは、上に温度計を置いていた。
 - ATM Crate上部の温度を測定。



エシキラック(正面)



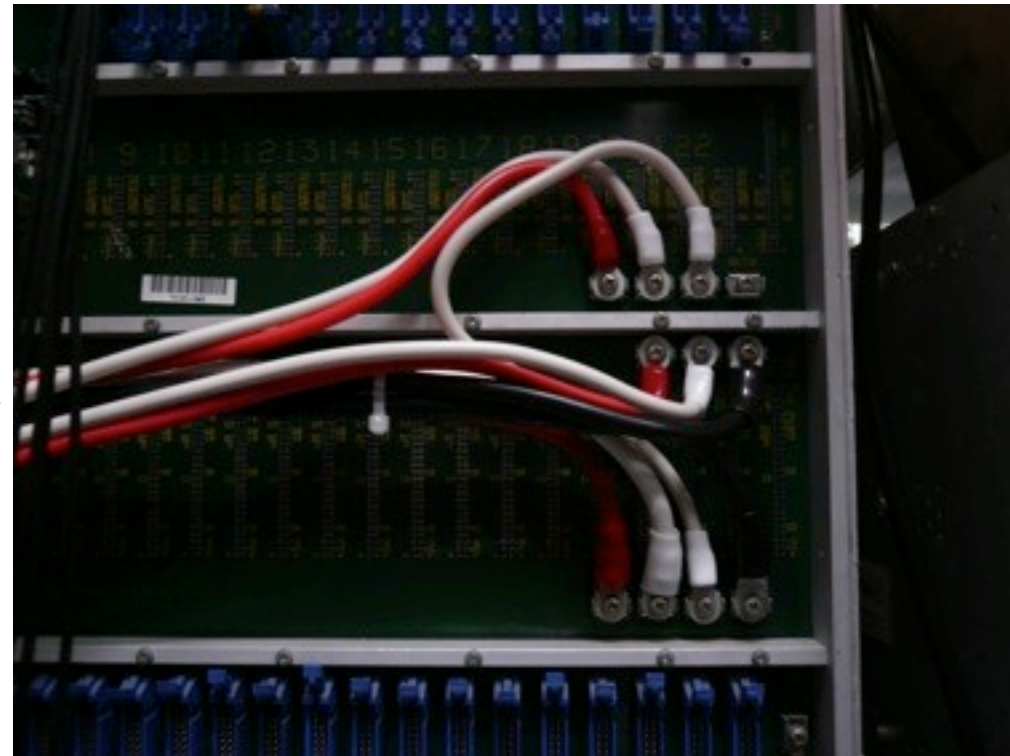
- ノイズ対策として、銅板が差し込まれている。
- SCHを使うのだったら、差し込む必要あり。
- ATM間には差し込まれていなかった。

エレキラック(裏, HV)

HV裏側

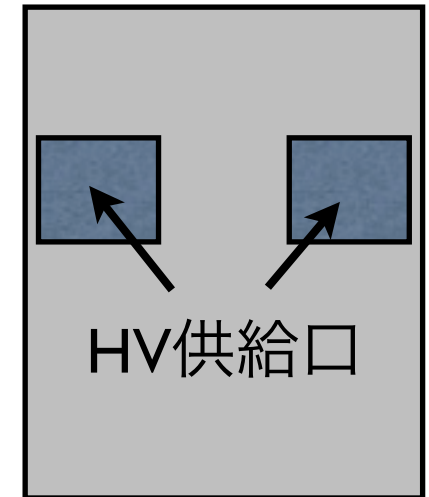


TKO Crate 裏側



エレキラック(裏, HV)

TKO Crate 裏



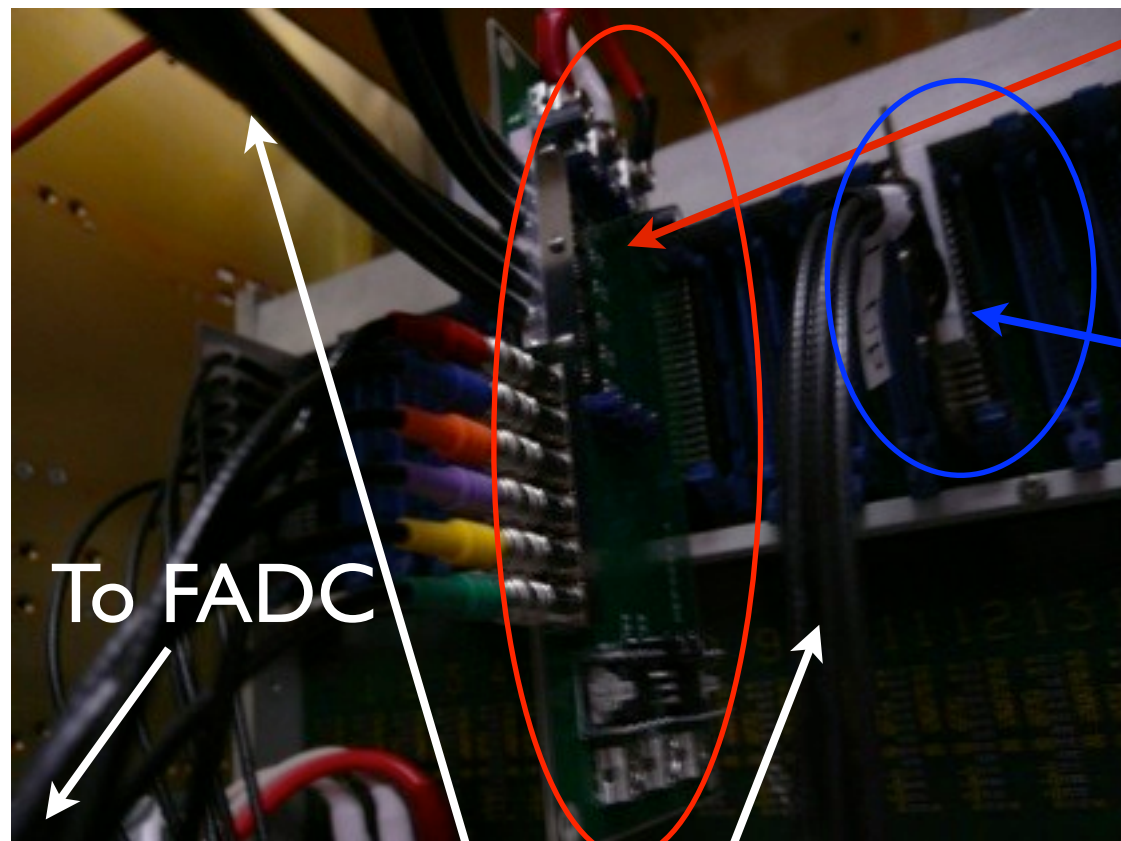
- TKO Crate へのHV供給は両側から行う。
- 片側からだけだともう片側での電圧が下がる。
- 電力供給について
 - ATM × 20 + GONG + SCH + SUM の構成の場合
 - 主にATM, GONGに電力が必要

Volt [V]	+5.2	-5.4	+8	-8	15	-15
Current [A]	45	22	8.9	11	1.5	0.1

→ +5.2V, GND のHVケーブルは特に太くしてある(14mm²)

電力供給：100V, 15A でOK (1コンセントから1crate)

エレキラック (裏, signal)



signal cable
from detector

自作 Amp&Divider

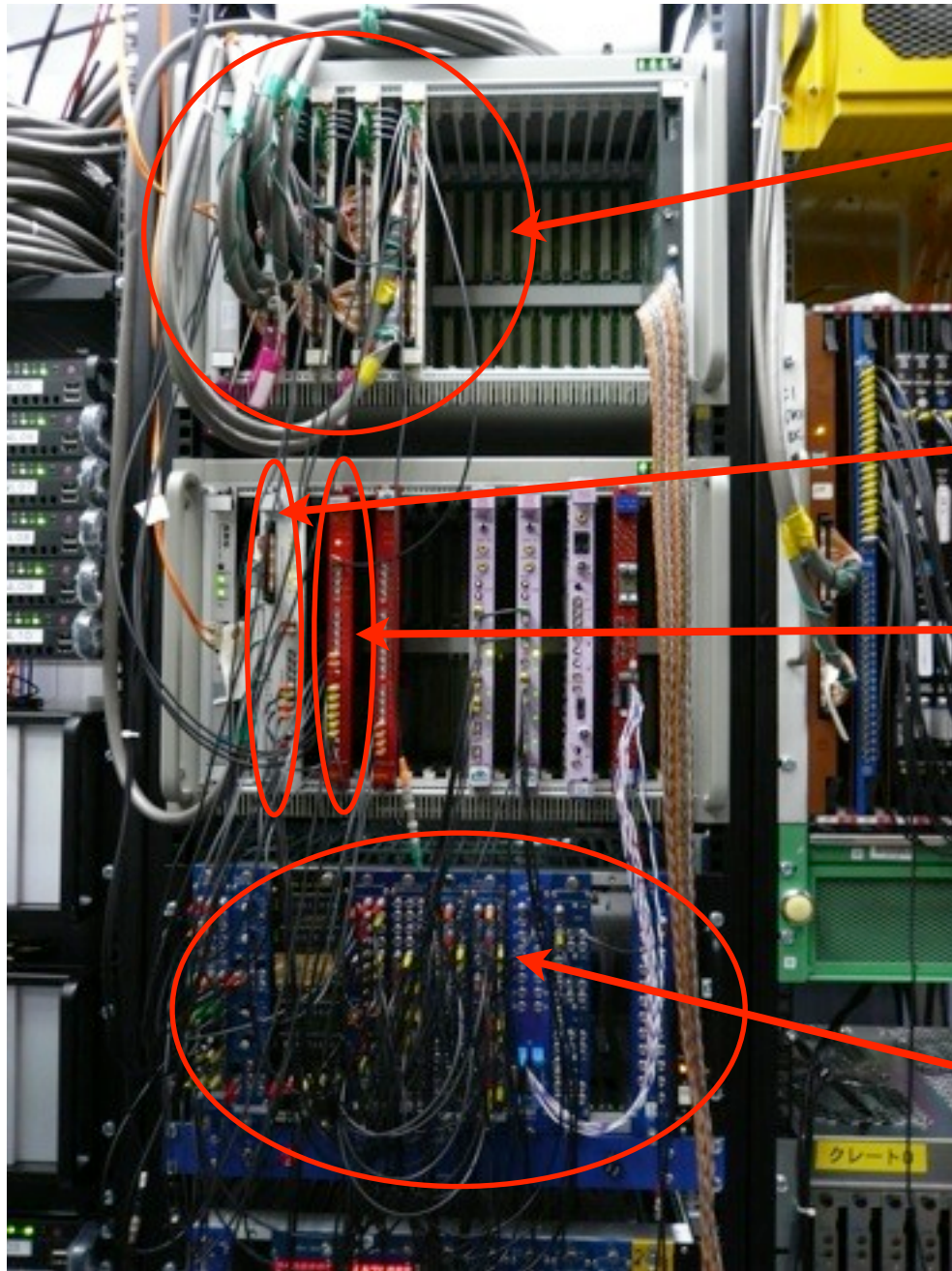
→ 信号をATMとFADCに分けて読み出すテスト中。

Signal cable を Crate に指すための
インターフェース

→ 単純にSignal線とGND線を
接続しているだけ。

→ Signal cable の口が何なのかは
確認していなかった。インター
フェースは自作・改良する必要
があるかは要確認。

SMP, TRG, etc



SMP module

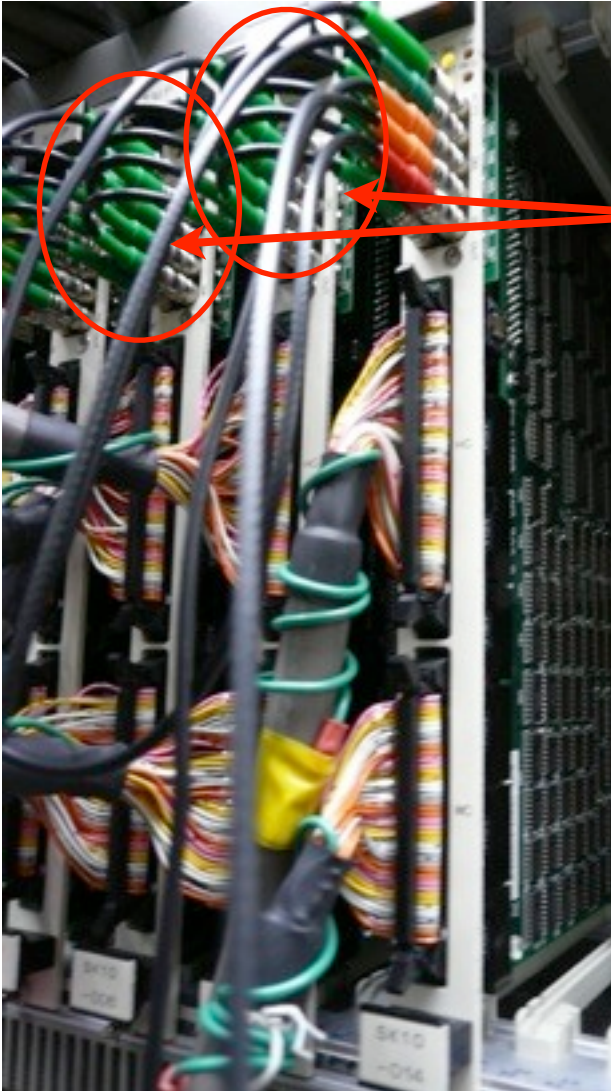
TRG module

Input register
(KAEN)

NIMロジック
(テスト用、FADC用)



SMP



- TKO → SMP, SMP → PC のデータ転送制御
- SMP間でMaster-Slave設定ができる。
- 複数のSMPのデータ転送を一つのSMPで制御する (X-MASS).
- SMPがVMEに割り込みをかけてデータ転送の制御も可能。
- X-MASSでは、Master-SMPが、Input register 経由で他のVME(TRG, FADC)のデータ転送の制御も行っている。

HIT Threshold

- HIT Threshold は経験的に入力信号に対して、2mV以下には下げれない。
- ATM → SMP 間のデータスキャンに同期してノイズがのり、それによってHITが発生してしまうことがあった。
- 他にもノイズが生まれる可能性があるため、組んでみてどうなのかを確かめる必要があると思う。
- 4mV(2p.e.) の信号に対しては半分程度の高さで Threshold を設定することに。
- Ampについて要検討。

HIT SUM signal

- 各chでHIT Thresholdを超えた場合に生成される矩形波の信号
 - 幅：200nsec, 高さ-20mV/ch
- 実際にはなかったことがないが、感覚的に
 - ボード内：数十nsec
 - クレート毎：20nsec (SK用の特注HIT SUM module)
- PMT毎のsignal timing の差が数nsecとすると、ケーブルの長さをそろえれば、HIT SUMを用いてのGlobal TRG の生成は可能

ATM Channel(A,B)の切り替え

- 切り替わるタイミングはチャージ積分が終わったタイミングだそうです。
- じゃあ具体的に？
 - 「HITすると積分ゲート信号(GATE: width 400ns)が出力され、電荷をQACにより積分・保持する」 (祥英さん修論).
 - HIT不感時間300ns(K2K ATM) : 「あるチャンネルに300nsより短い間隔で2つの入力信号があった場合に、ATMでは1つの入力信号として処理してしまう」 (祥英さん終了).
- 「積分終了時」を素直に受け止めると、GATE後と思われる。
 - 平出さんは見学の際にこの積分時間を”200ns”とおっしゃっていた → この辺は要確認。

AD変換・FIFO書き込み

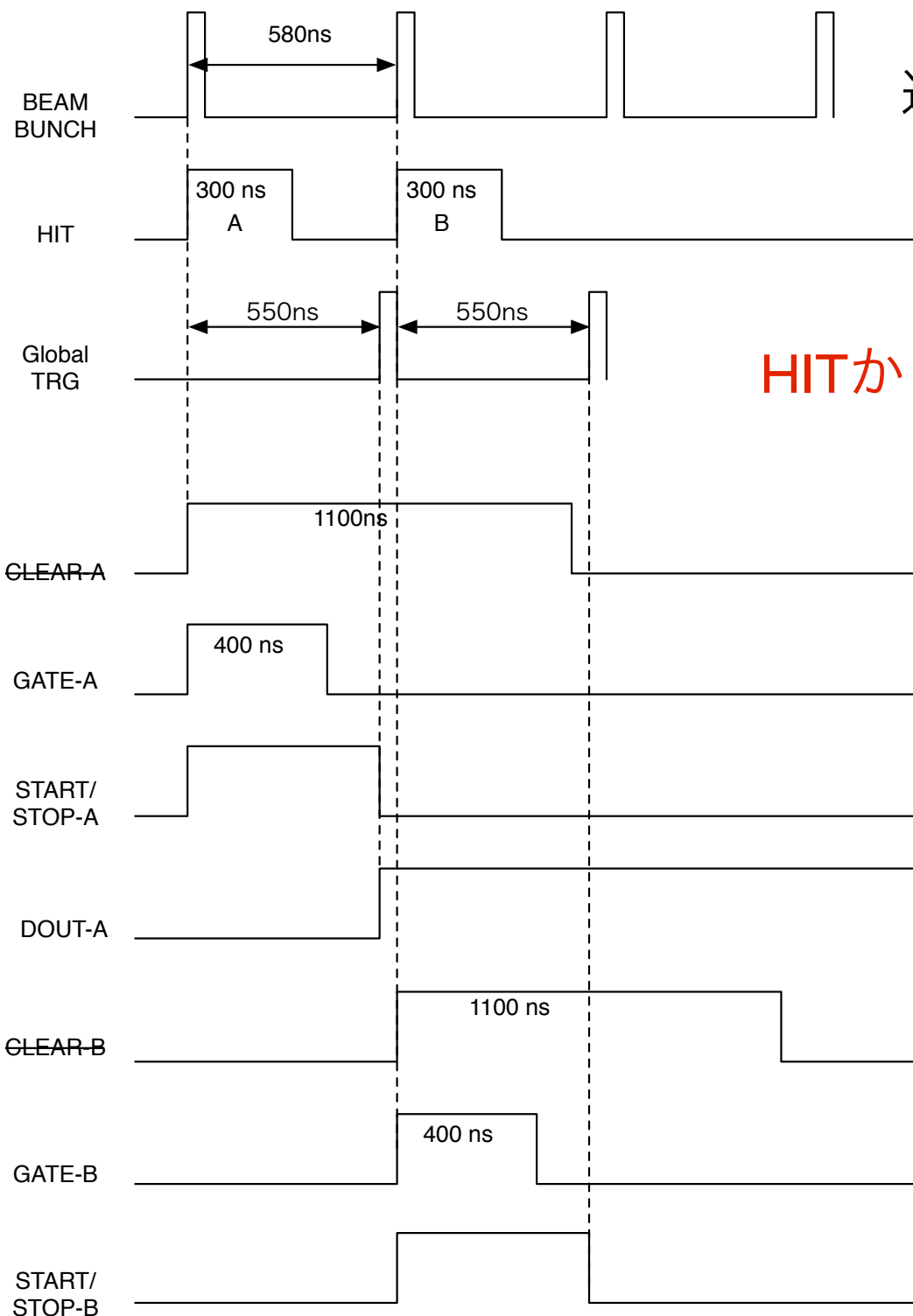
- AD変換・FIFO書き込み(DOUT)が開始されるのは、HITあり & Global TRG in の場合だけ。
- どちらかが欠けると、開始されない。
- 要する時間：5.5 μ sec / channel
 - 例えば、1ボード中で10channel HITがあると 55 μ sec.
 - 当然A, B channelのそれぞれで5.5 μ secずつかかる。

QAC・TACの値の保持

- HITがあってから、 $1.3\mu\text{s}$ の間保持される。
- 祥英さん修論には約 $1.1\mu\text{s}$ とある。この $1.3\mu\text{s}$ ってどこから来た値でしたっけ？
- とりあえず、 $1.1\mu\text{s}$ を信じる。

TAC/QACの動作

- HIT生成タイミング、TRGの生成タイミングについて、いくつかの場合を仮定し、その場合のTAC/QACの動作をシミュレートする.
- A channel $\Leftrightarrow$ B channel の切り替え : GATE(width 400ns)終了時
- TAC/QAC の保持(CLEAR)時間 : 1.1 μ s
- Bunch 間隔 : 580 ns
- 1スピル中に2HITある場合のみ考慮.
 - 1スピル中に1HITの場合は省く.
 - 2HIT以上はATMの原理的に読めない $\rightarrow$ PMT SUM で処理.
- Global TRG 生成はHIT SUMを用いたセルフトリガーとする.
 - TRG生成毎に、その数をカウント・記録する.

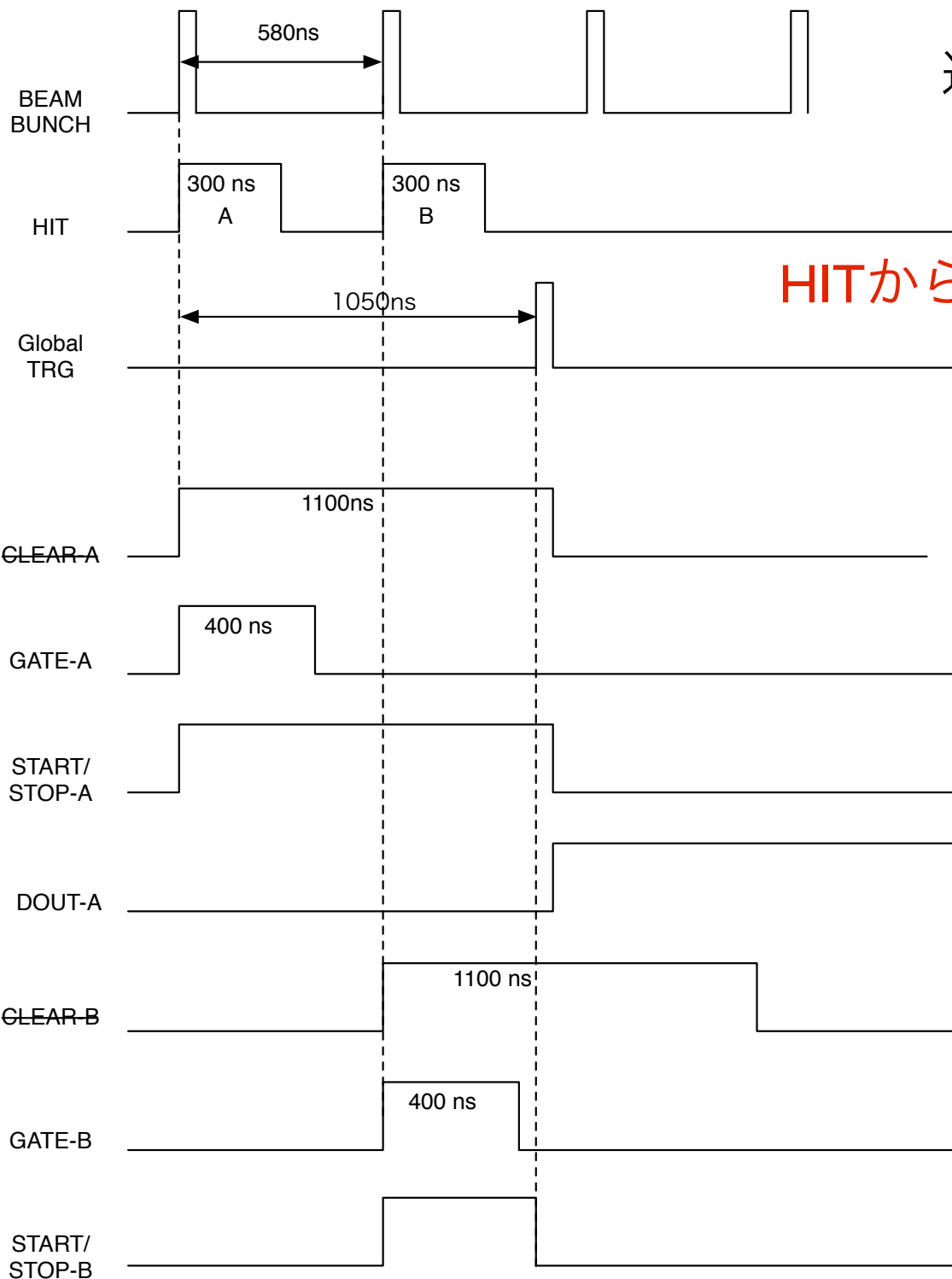


連続するバンチでHITがあった場合

HITから550ns後にTRGを入れたとする。

HIT-A, HIT-B に対して、
データ変換がなされる。

HIT-AとHIT-Bの内、どちらが先
のHITかはTRG番号を比較する
ことで判断。



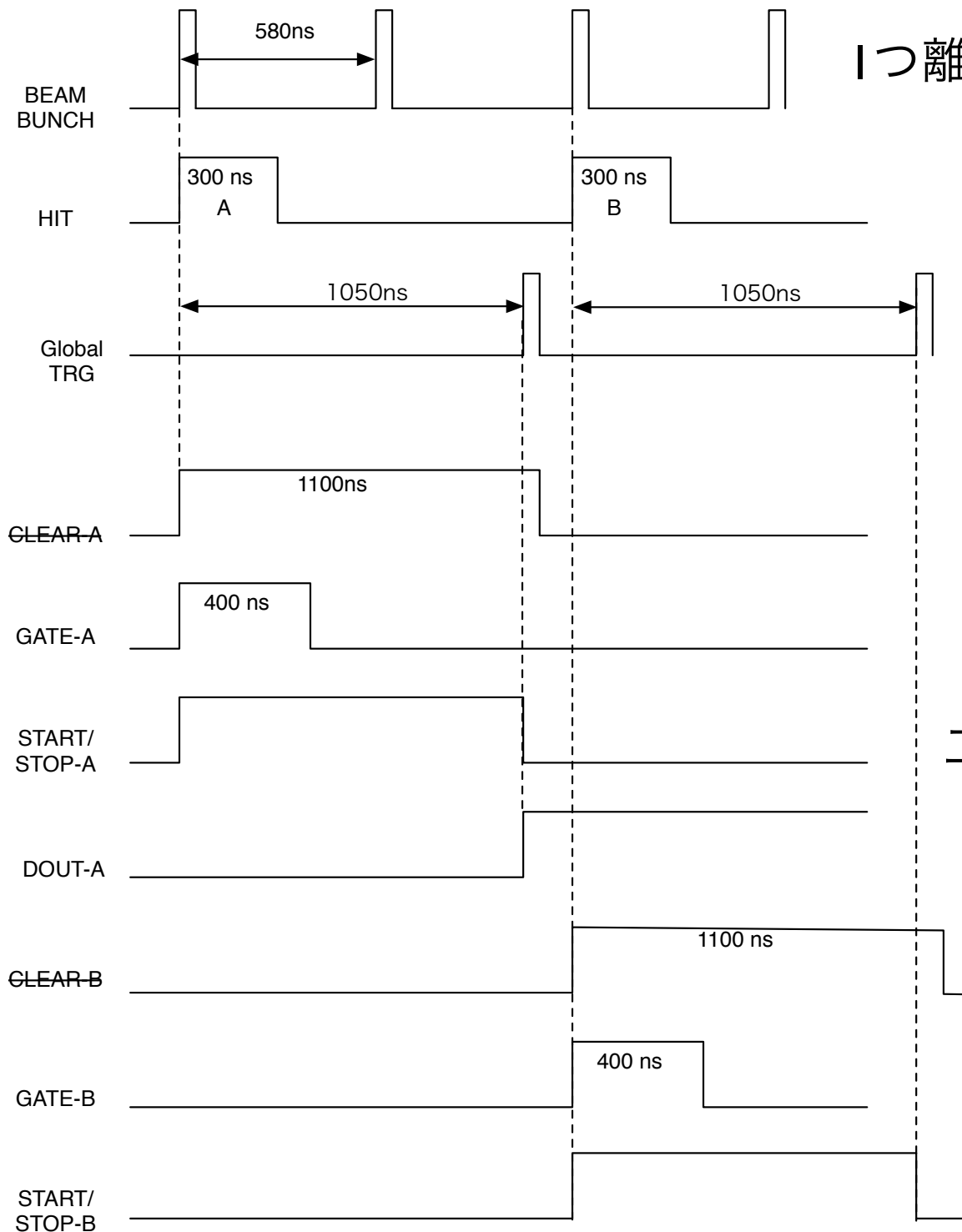
連続するバンチでHITがあった場合

HITから1050ns後にTRGを入れたとする。

→ Data Clear前(1100ns)、2番目のHITのGATE終了後
(580+400=980ns).

HIT-A,HIT-Bのデータに対して、
1つのTRGで変換開始。

HIT-A, HIT-B のTRG番号は同じ。
→ どちらが時間的に先のHITかは
TDCの値を用いないとわからない。

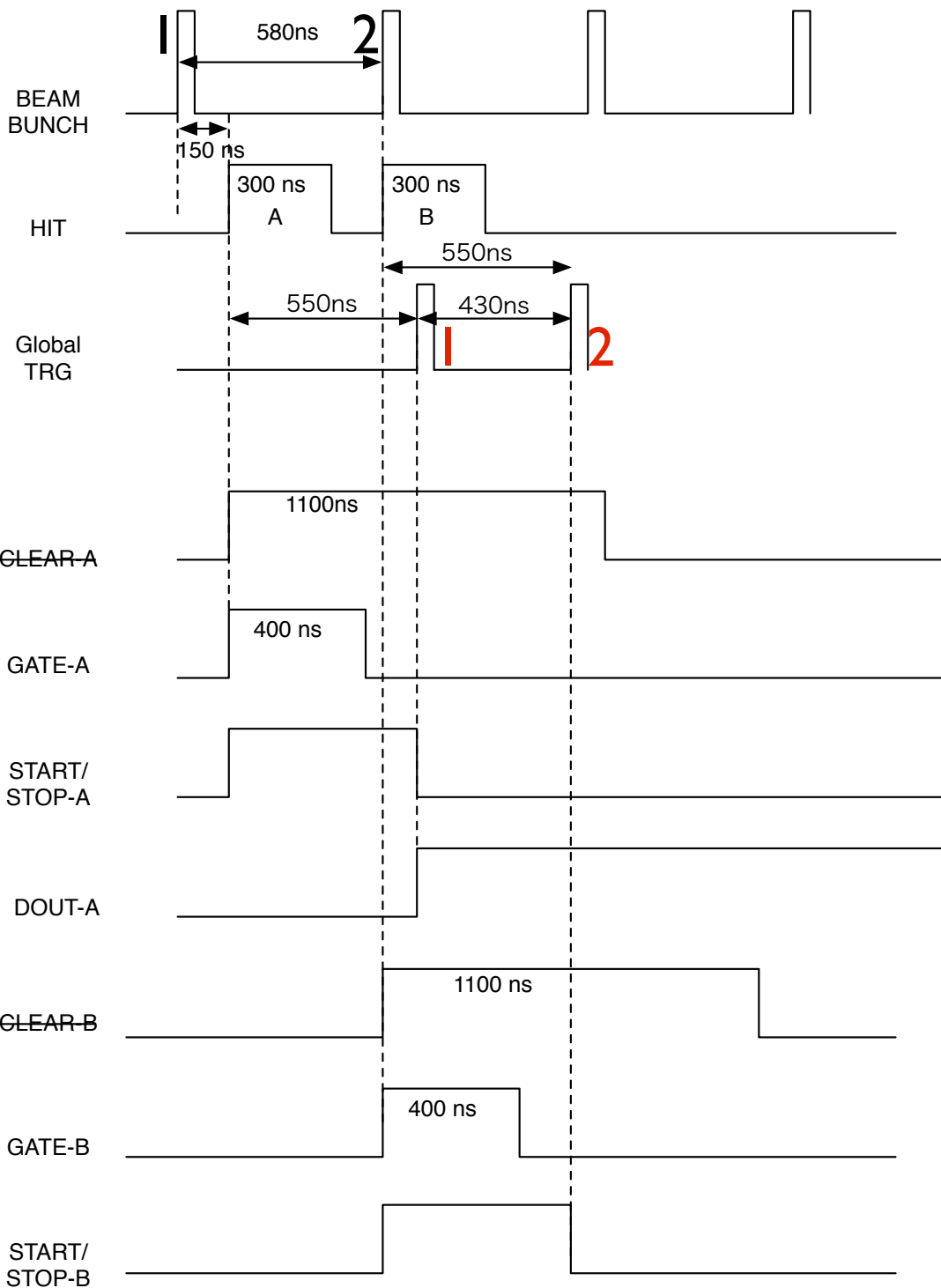


1つ離れたバンチでHITがあった場合

HITから1050ns後に
TRGを入れたとする。

550ns後にTRGを入れる場合は、
当然二つのHITデータを取れる。

$1050 < 580 \times 2\text{bunch}$ なので、
二つのHITに対して独立にTRGが
かけられる。



アクシデンタルなHITがバンチ
スタートから150nsにあり、
その次のバンチで反応。

HITから550ns後にTRGを生成する。

$$\text{TRG間隔: TRG2-TRG1} \\ = 580\text{ns} - 150\text{ns} = 430\text{ns}$$

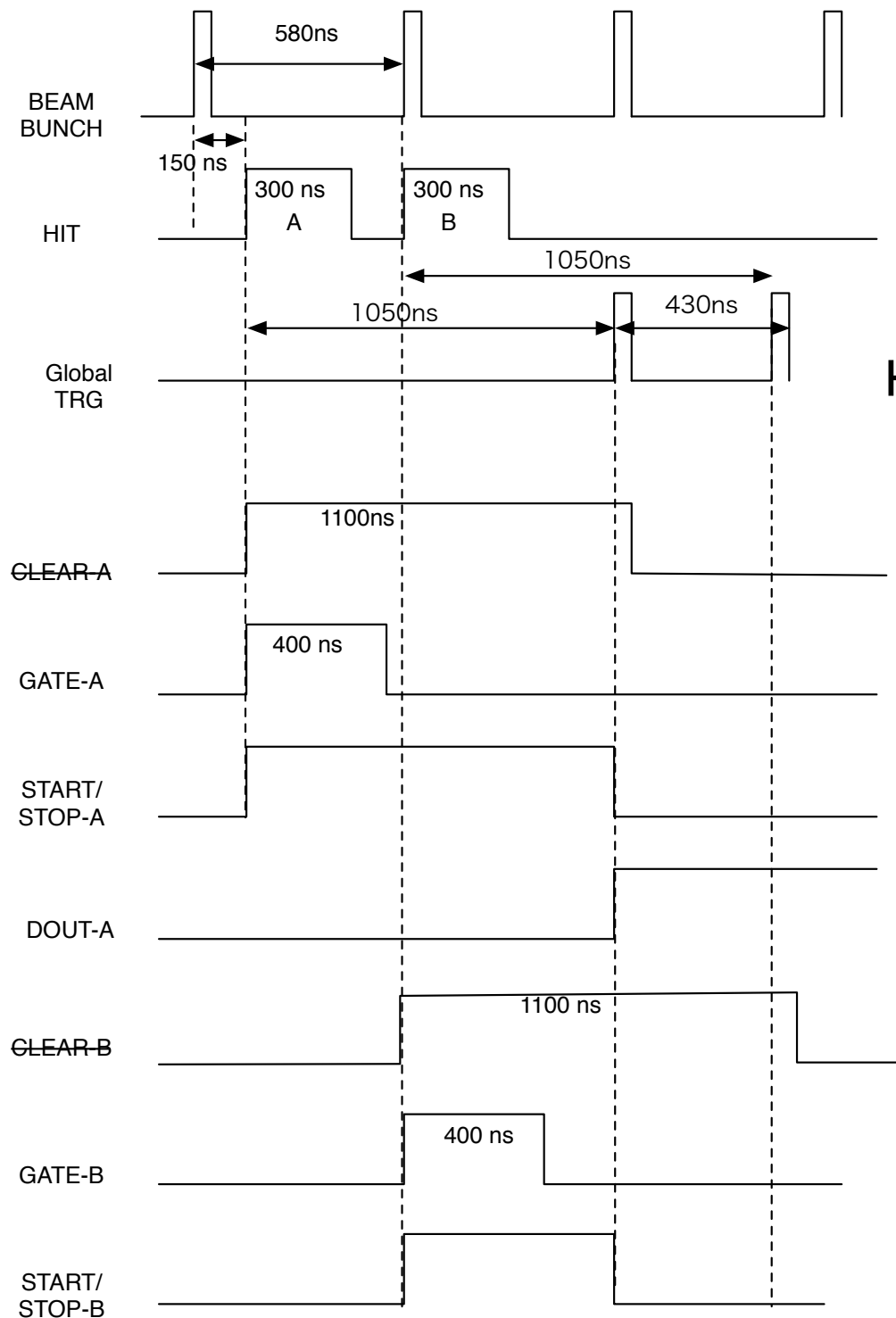
バンチスタートから T ns ずれたと
ころでHITがある場合.

$$\text{TRG2} - \text{TRG1} = 580 - T$$

(ただし、 $0 < T < 580 - 300 = 230$)

→ HIT-AとHIT-Bが重ならない.

(HITが重なる場合は
原理的に分離は不可能)

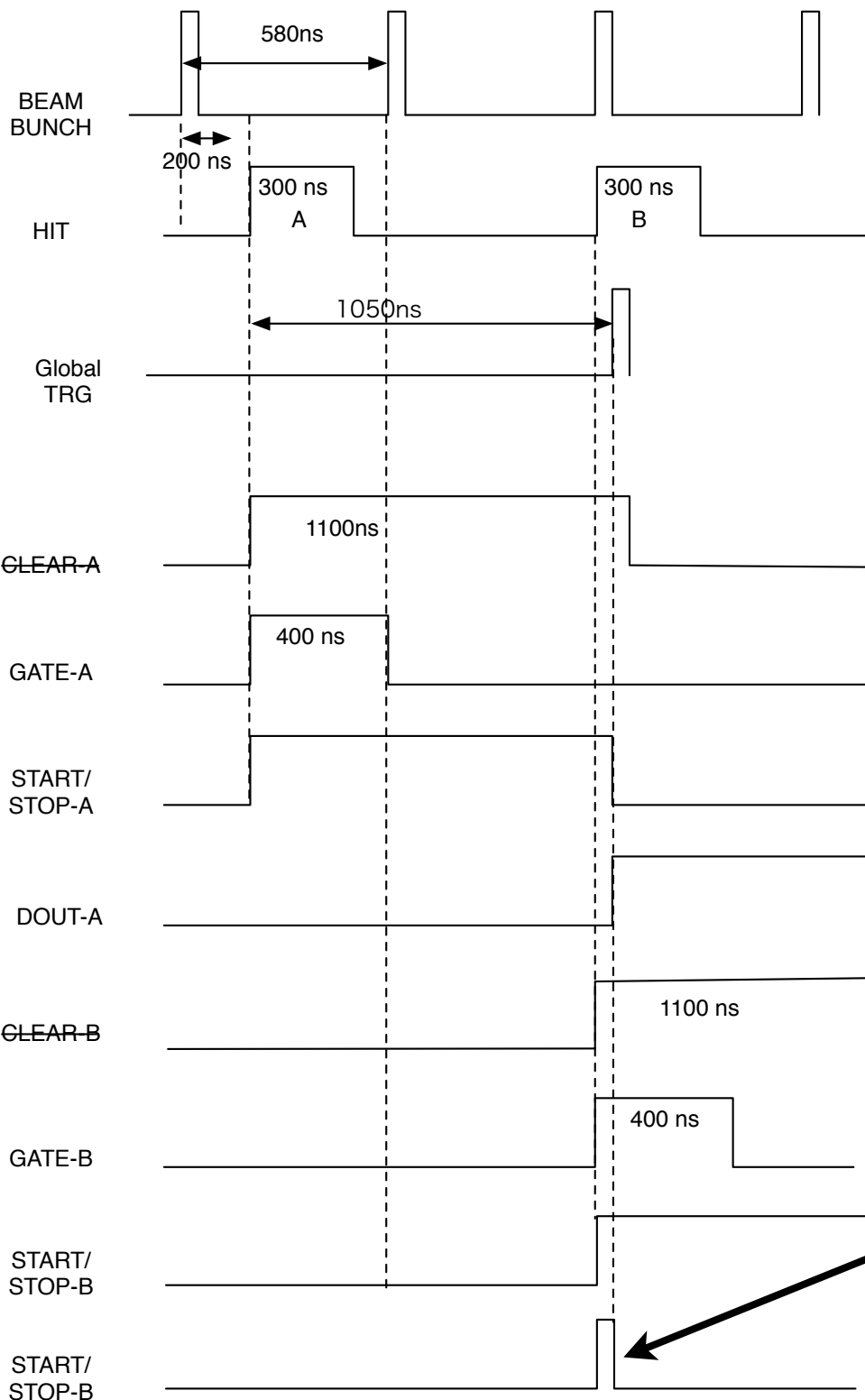


アクシデンタルなHITがバンチ
スタートから150nsにあり、
その次のバンチで反応.

HITから1050ns後にTRGを生成する。

TRGIでHIT-A, HIT-B のデータ
を取ることが可能。

一般的に、 $580-T + 400 < 1050$ が成り立てば良い。
→ $T > 0$ より、必ず成り立つ。



アクシデンタルなHITがバンチ
スタートから200nsにあり、
その次の次のバンチでHIT.

HITから1050ns後にTRGを生成する。

TRG1がGATE-Bの途中で入る。

一般的な条件: $580 \times 2 \text{ bunch} < 1050 + T$

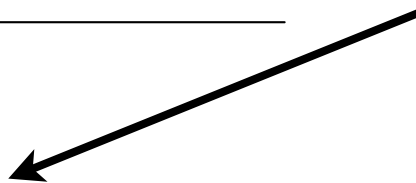
$\rightarrow 110 < T (< 230)$

HIT-Bのデータはどうなるか？

- ・ QACはとれる？

(次のTRGがクリア前にかかる)

- ・ TACは途中でストップ？



QAC/TACの動作：まとめ

- HITからの Global TRGのタイミングはバンチ間隔内(<580)でも、クリア前(<1100ns)でも問題ないと思う。
- アクシデンタルHITは極力抑える。
 - ニュートリノ反応によるHITと重なってしまうと、分離不可能。
 - 重ならなくても、まずいことが起こりうる。
- ATMだけだと、バンチ毎の反応レートはわかっても、何番目のバンチで反応があったかわからない。
 - PMT SUM の信号を FADC で読むことで解決。