

testbench進捗

2012/8/1 京都ATLAS meeting

田代 拓也

board交換, ASD test pattern確認

- Boardに問題がある可能性を考え、いくつかboardを交換
 - SSW 3枚 , PT5 3枚(うち1枚は旧CPLD) , SL 2枚を試すが、結果変わらず
 - 恐らく、boardの問題ではない
- ASD test pattern確認
 - ASD のnim outをオシロでチェック
 - pulse の出力を確認

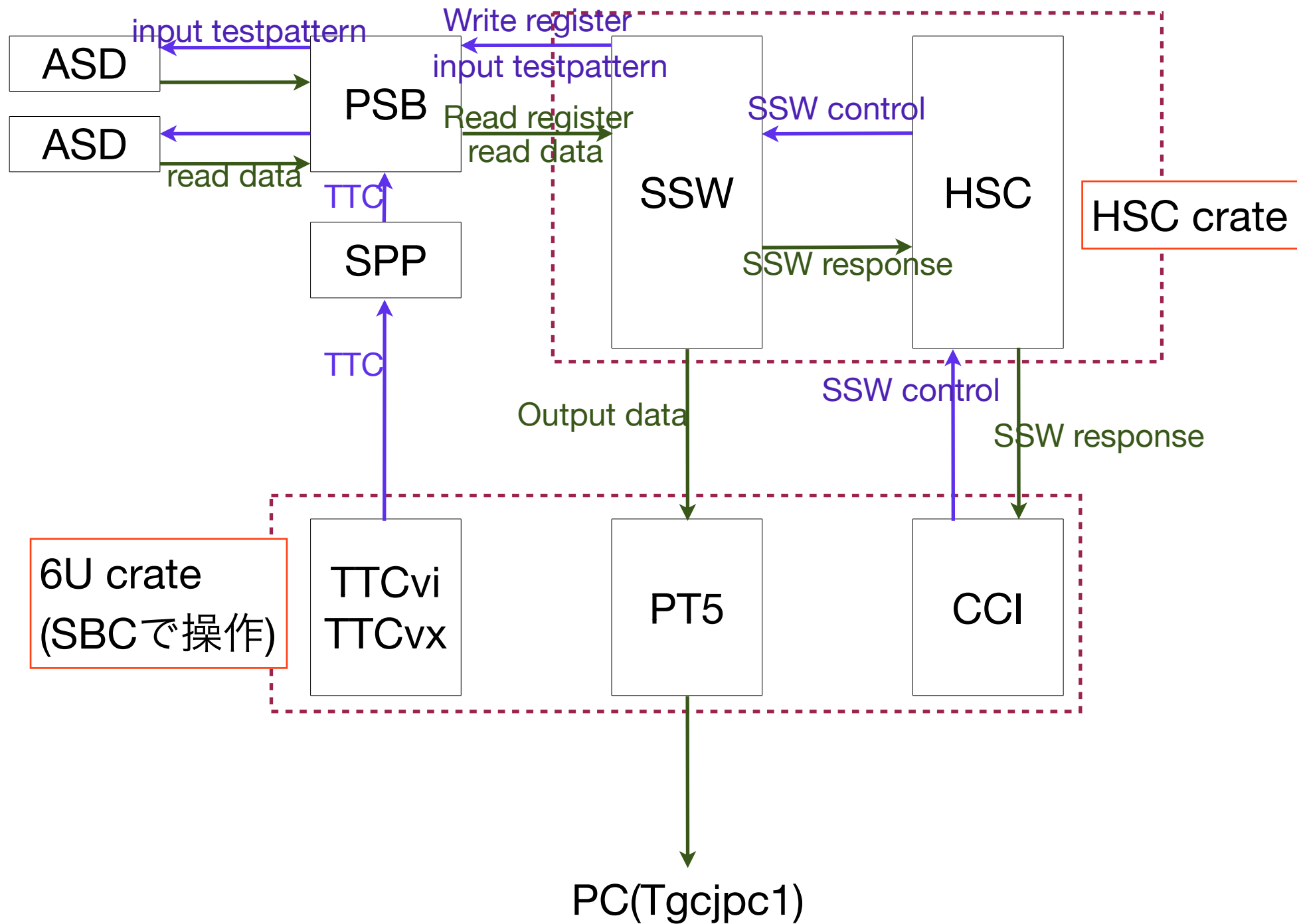
PT5

- 新CPLD完成 → VME bus , FPGA configuration問題解決(先週)
- 既存のbit fileをconfigurationする場合の問題が発覚
 - bit fileのpin配置と、PT5の仕様上のpin配置が(なぜか)違う場合がある
 - verilogのcodeが残っていないものに関しては、誤動作の恐れあり
 - 現在使っているものはverilogも残っているため、誤動作はしない(はず)
- USA15から旧CPLDのPT5回収
 - 新CPLDと同じく、tgcjpciに信号が届かない
 - tgcjpci側の問題か

SSW出力の読み出し

- PT5に専用bit file(二ノ宮さん作)をconfiguration
 - PT5へのG-link 入力(SSW出力)をVME経由で読み出し
 - SSWのheaderが正しく出力されていることを確認
 - dataの中身に関しては未検証
 - 少なくとも何らかのdataは送られている
 - tgcjpciには届かない
 - PT5の入力以下に問題あり
 - PT5内G-link - S-link 変換
 - PT5 S-link 送信
 - tgcjpci S-link受信

PSB testbench



SL testbench

