

現状報告

2012/7/27

京都ATLAS meeting

田代 拓也

PSB testbench

ASDに入力test pulseをset → PSBの出力をSSW,PT5で読出

- input test pulse

- PSB reset (via SPP) : SLB内のregister をreset
- PSB register R/W (via SSW) : SLB内のregister R/W

* test pulse のsetもここで行う

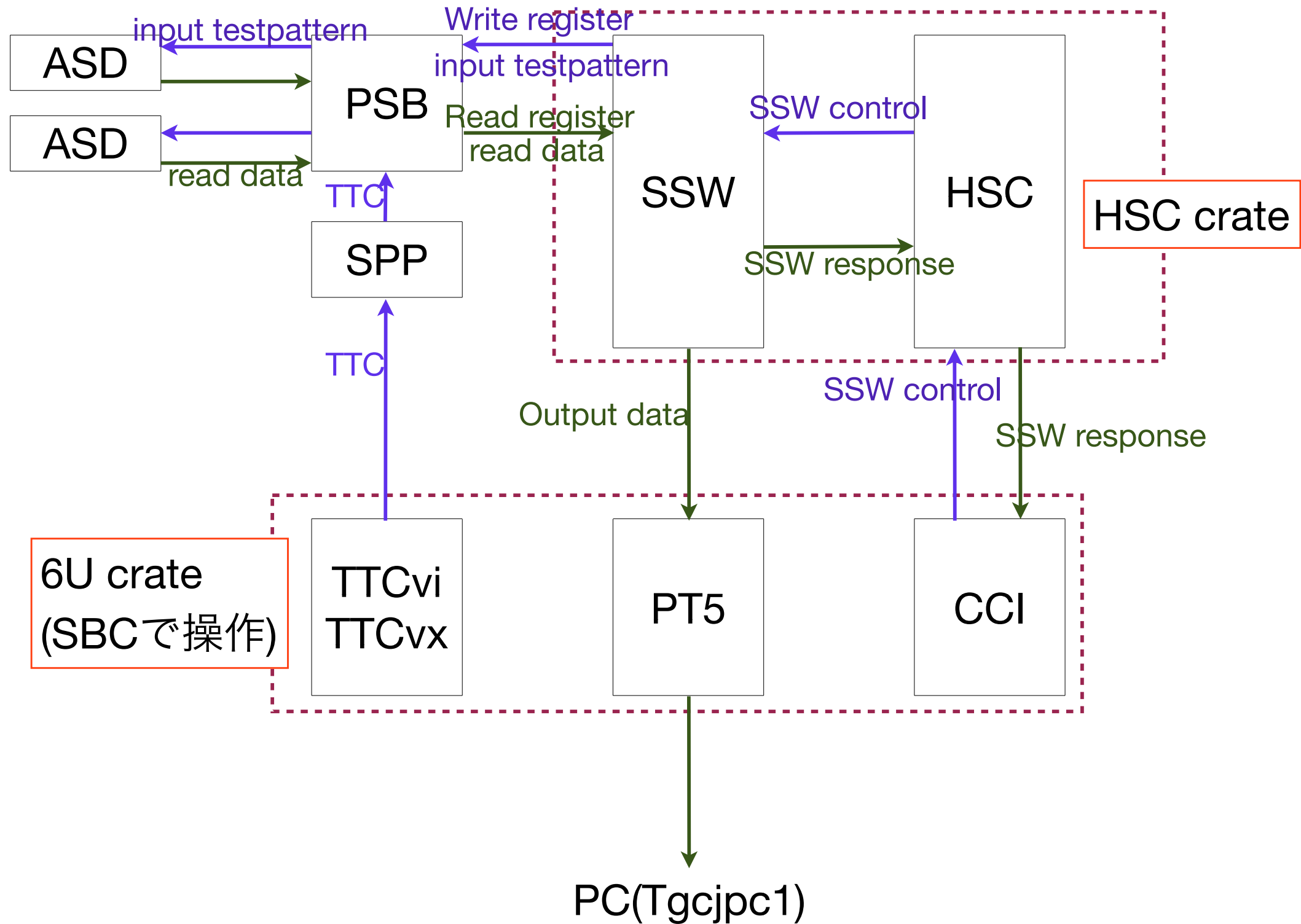
- read out data

- configure SSW : register設定

* mask解除,入力RX選択

- configure PT5 : SSWの出力を受け、PCに送る

Set up



Input test data

- PSB reset
 - PSB 上の SLBのregisterをreset
 - TTC vi からreset信号打ち込み (TTCvi → SPP → PSB)
 - registerのresetを確認 **test done**
- PSB register R/W
 - PSB 上の SLBのregisterをread / write
 - * write : 設定file (hoge.prm)内の値を書き込む
 - * read : 設定file (hoge.prm)内の値と読み込みの値を比較
 - SSW経由でR/W (CCI $\rightleftharpoons$ HSC $\rightleftharpoons$ SSW $\rightleftharpoons$ PSB)
 - write → read で設定通りの書き込みを確認 **test done**

Read out data

- configure SSW
 - PSB の入出力口のmaskを解除 (in control register)
 - * mask された口からの入力 ROD(今回はPT5)に送られない
 - 使用RX chip を選択 (in control register)
 - * SSWには22のRX chip(入力を受け取る)があるため、PSBの入力を受け取るchipを指定
 - write → read で、registerの値を確認 **test done**
- configure PT5
 - iceppの大谷君の新CPLDを実装
 - FPGA書き込み、VME R/W は問題なし
 - VME busを掴む問題も解決(他のmoduleと併用可)

Present status

- 各moduleが問題なく動いている(ように見える)が、
読み出し成功せず
- SSWのRX overflow errorは勝手に治った
原因特定できず
- SLの読み出しも出来ない(後述)ため、SSW以下の問題か(?)
- 動くPT5がpitにある(若林さん談)ため、それでtestも検討中

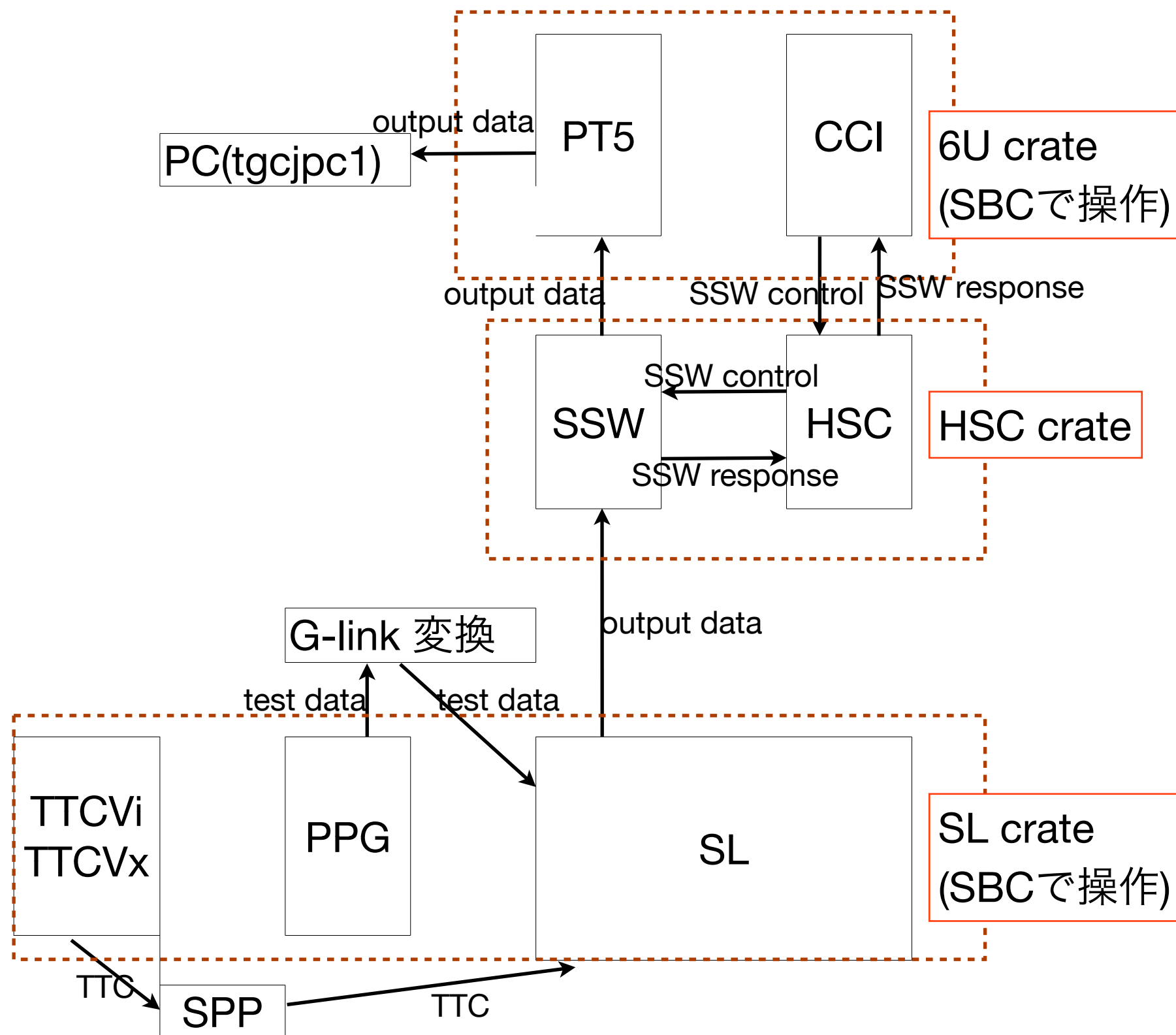
SL testbench

PPGで作ったtest pulse をSLに入力 → 出力をSSW,PT5で読出

- input test pulse
 - configure PPG : 32bit dataを読み込み→flat cableで出力
 - convert pulse : flat cableの信号をG-linkに変換
- read out data
 - configure SSW : register設定
 - * mask解除,入力RX選択
 - configure PT5 : SSWの出力を受け、PCに送る

(読出はPSBと同じ)

Set up



Input test data

- set PPG
 - SL に流す data を file から入力
 - 入力 file を VME 経由で読み出すことも可能
- convert data to G-link
 - PPG の出力 32bit のうち、17 (or 16) bit を G-link に変換
- check input data
 - SL の入力 G-link data を返す register で data の読出可能
 - PPG への入力 と register の値の一致を確認 **test done**

Present status

- 各moduleが問題なく動いている(ように見える)が、
読み出し成功せず
- data入力は正しく入っている → SSW以下が問題(?)

summary

- PT5のCPLD update
- PSB, SL とともに読み出しに至らず
- 各moduleのtestでは問題点見つからず
- dataがどこで止まっているか調べる必要あり

SL PROM configuration

- 現行SLにPROM chipが搭載されている
 - bit file (FPGAの論理file)焼き込み可能
 - 電源が落ちても値が保持される
 - PROM経由でFPGAをconfigurationすれば、
電源を入れる度にFPGAをconfigurationする必要がない
- 現状
 - VMEからPROMを焼くtoolがない(FPGAと形式が違う)
 - 現在、作成に向けて調査中

schedule

schedule

	July			Aug			Sep			Scrubbing run (date tbc)			
Wk	27	28	29	30	31	32	33	34	35	36	37	38	39
Mo	2	9	VdM scans [48 h]	23	30	6	13	20	27	3	10	17	24
Tu		Floating MD [48 h]						500 m [24 h]	Floating MD [48 h]				
We		90 m [24 h]										TS3	
Th								500 m [24 h]		J. Genevois			
Fr	90 m [24 h]												MD
Sa													
Su													

- TS (9/17~)にPhase-0 SLをinstall → test pulse
 - 準備すべきもの: 入力 test pulseとSL outputの参照表
registerに値を配る online-software
DAQ
- 学会(9/14)に、TSのtest予定とその準備状況迄発表