

進捗 2012 7/20

京都ATLAS meeting

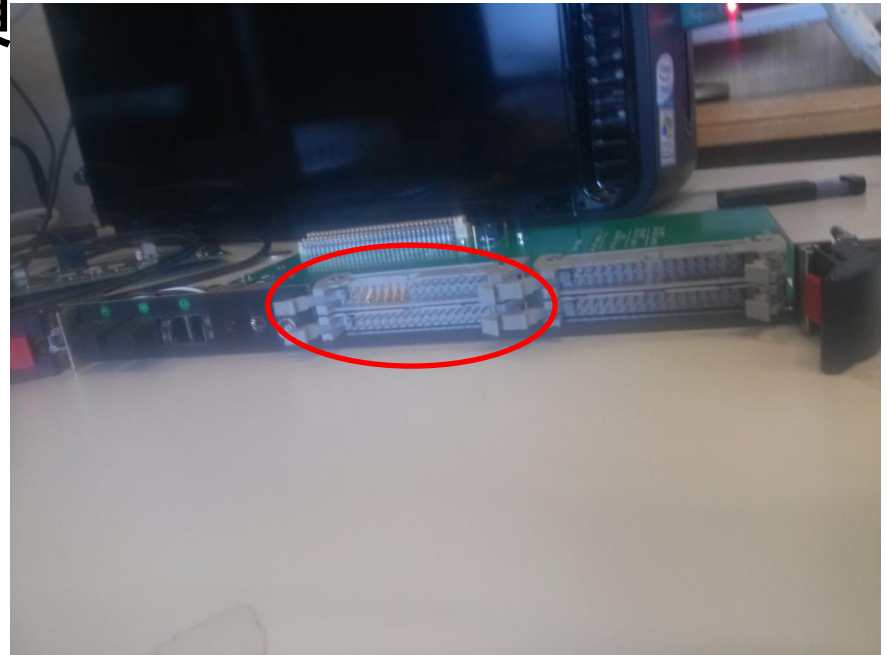
田代 拓也

# testbench

- SL関連
  - 入力ライン(PPG → Glink → SL) : 完成(BW-only)
  - 出力ライン(SL → SSW → PT5) : PT5 CPLD待ち
- PSB関連
  - SSW テスト : 未完

# Module破損

- G-link TX For SL (PPGの信号をG-linkに変換するmodule)が2枚破損
  - Testbenchに1枚不足
  - 予備を持ってきてもらう(佐々木さん)



# Online software

- 新registerの導入が可能に
  - Register定義、初期値設定

Oks Object : TGCSLDelay

Object ID: TGCSLDelay-C01-F01-F

Class: TGCSLDelay

Data File: /afs/cern.ch/user/t/

Data:

Attributes:

BW0 0

BW1 0

BW2 0

BW3 0

BW4 0

BW5 0

EIF10 0

EIF11 0

EIF12 0

EIF13 0

BCR 0

Close

Oks Data File : /afs/cern.ch/user/t/ttashiro/online\_software/TGCSLModule...

Full name: "/afs/cern.ch/user/t/ttashiro/online\_software/TGCSLModule/segments/TGCSL\_delay.data.xml"

Created by "takashi" on "pc-tgc-mon-rod-01.cern.ch" at "2008-Aug-15 18:39:18"

Last modified by "takashi" on "pc-tgc-mon-rod-01.cern.ch" at "2008-Aug-18 15:18:52"

Logical Name: Type:

Include files:

../schema/tgcs1.schema.xml

Objects:

| Class      | UID                      |
|------------|--------------------------|
| TGCSLDelay | TGCSLDelay-C01-F01-FPGA1 |
| TGCSLDelay | TGCSLDelay-C01-F01-FPGA0 |
| TGCSLDelay | TGCSLDelay-C01-E02-FPGA1 |
| TGCSLDelay | TGCSLDelay-C01-E02-FPGA0 |
| TGCSLDelay | TGCSLDelay-C01-E01-FPGA1 |

Matching object UIDs: Match case Regular expression

Matching class names: Match case Regular expression

Add Comment

Comments:

| Creation Time (UTC) | Author | Text |
|---------------------|--------|------|
|---------------------|--------|------|

OK Apply Close

-近々ドキュメントにまとめます

# EI/FI 読み出し

- 既存のraedata 読出コードには  
EI/FI→SL→RODの情報が入っていない
  - EI/FIのデータフォーマット確認に必須
  - EI/FI情報の追加を試行中