

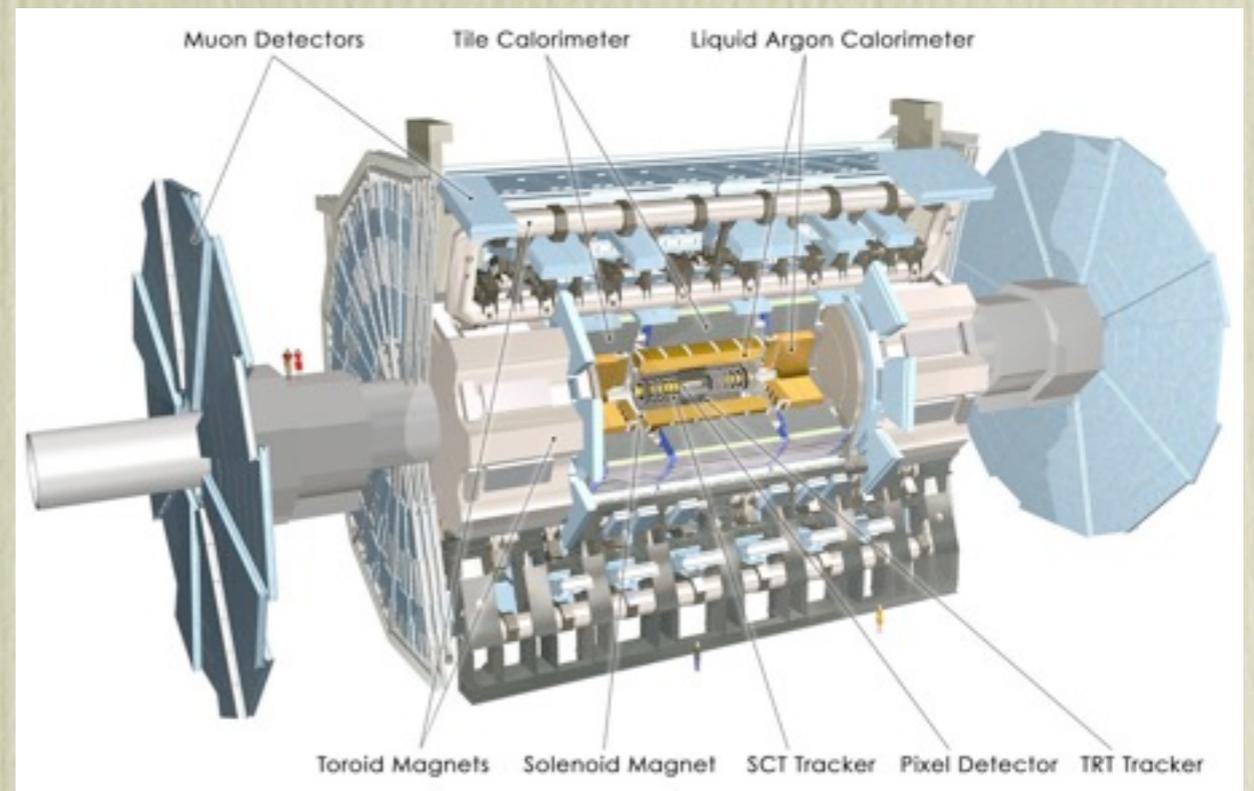
ATLAS introduction

2012 6/28 田代拓也

LHCとATLAS

ATLAS :LHCのp-p衝突で得られる事象を捉える

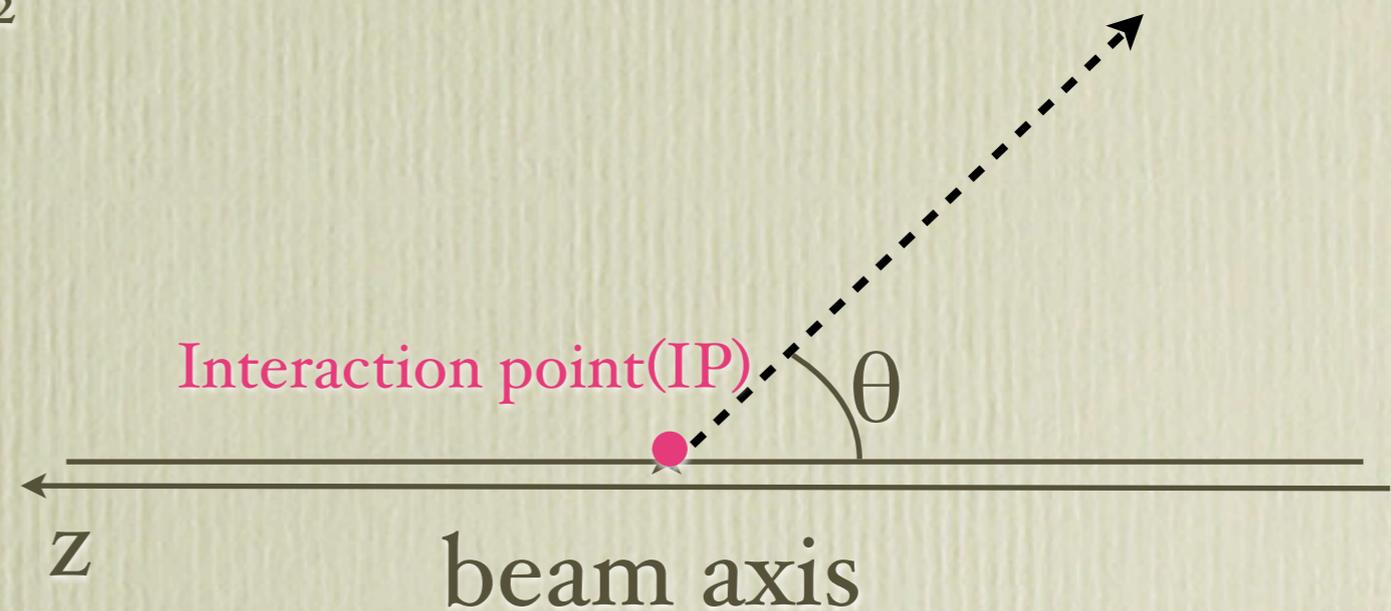
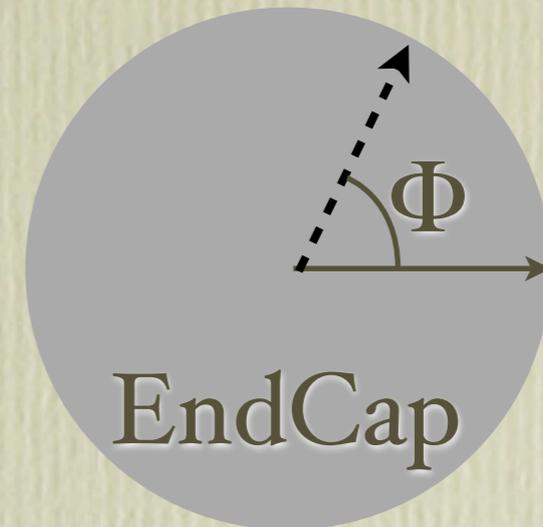
- 優れた粒子識別能力
- 広いacceptance(ほぼ全角度)
- 高い放射線耐性
- 速いtrigger(40MHzに対応)



ATLAS variables

pseudorapidity $\eta = -\ln \tan(\theta/2)$

distance $\Delta R = \sqrt{(\Delta\eta)^2 + (\Delta\Phi)^2}$



ATLAS detectors

- Inner detector : 荷電粒子tracking
- EM calorimeter : e, γ 検出
- hadron calorimeter : hadron検出
- muon spectrometer : μ 検出

Trigger

LHCの全event: $40\text{MHz} \times \text{pile up}$

- 全ては記録出来ない
- 数段のtriggerでデータを減らす
- 有用なデータだけ残す

Bunch crossing : $40(20)\text{MHz}$

L1 trigger : 75kHz

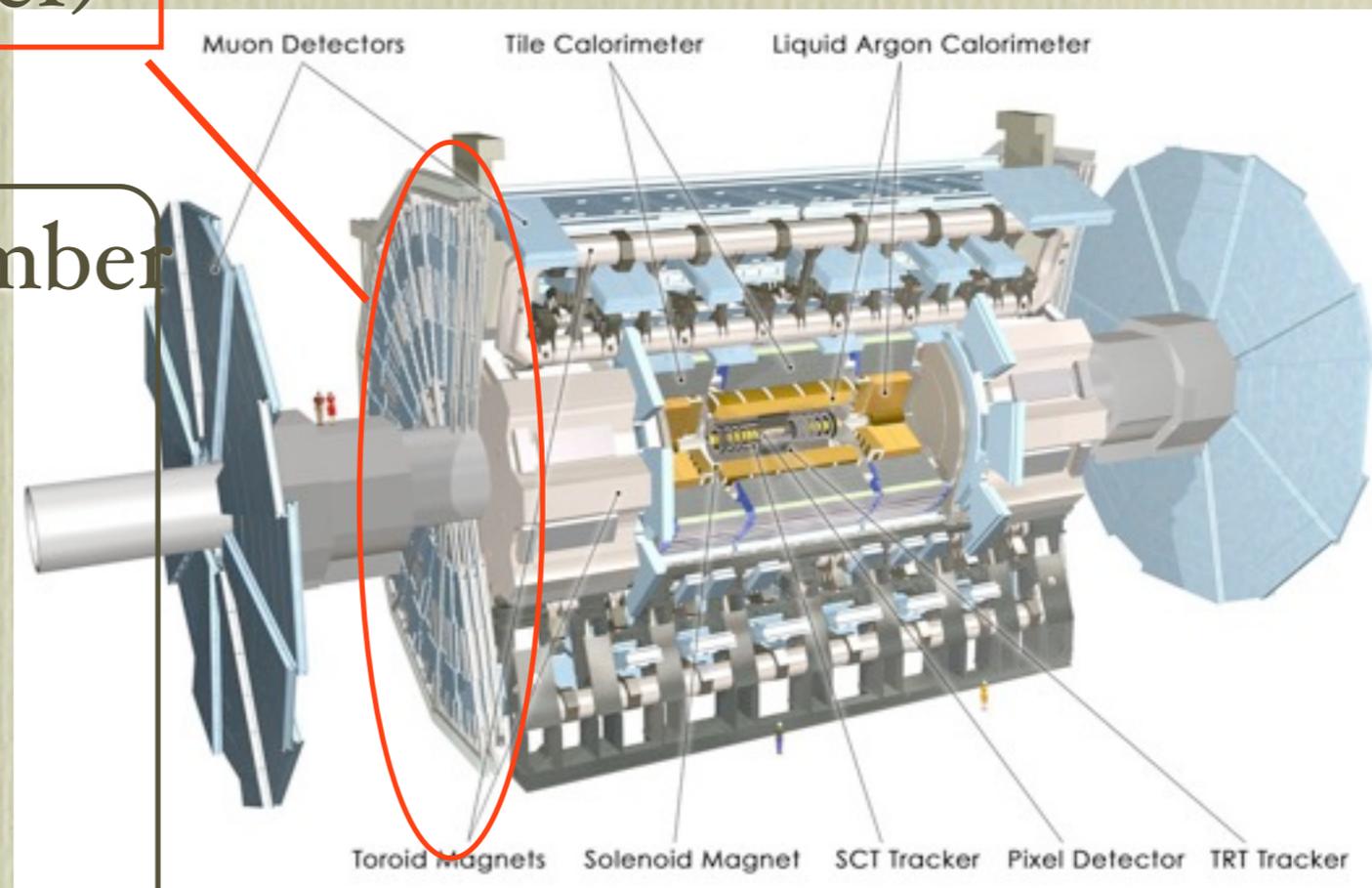
L2 trigger : 3.5kHz

event selection : 200Hz

TGC

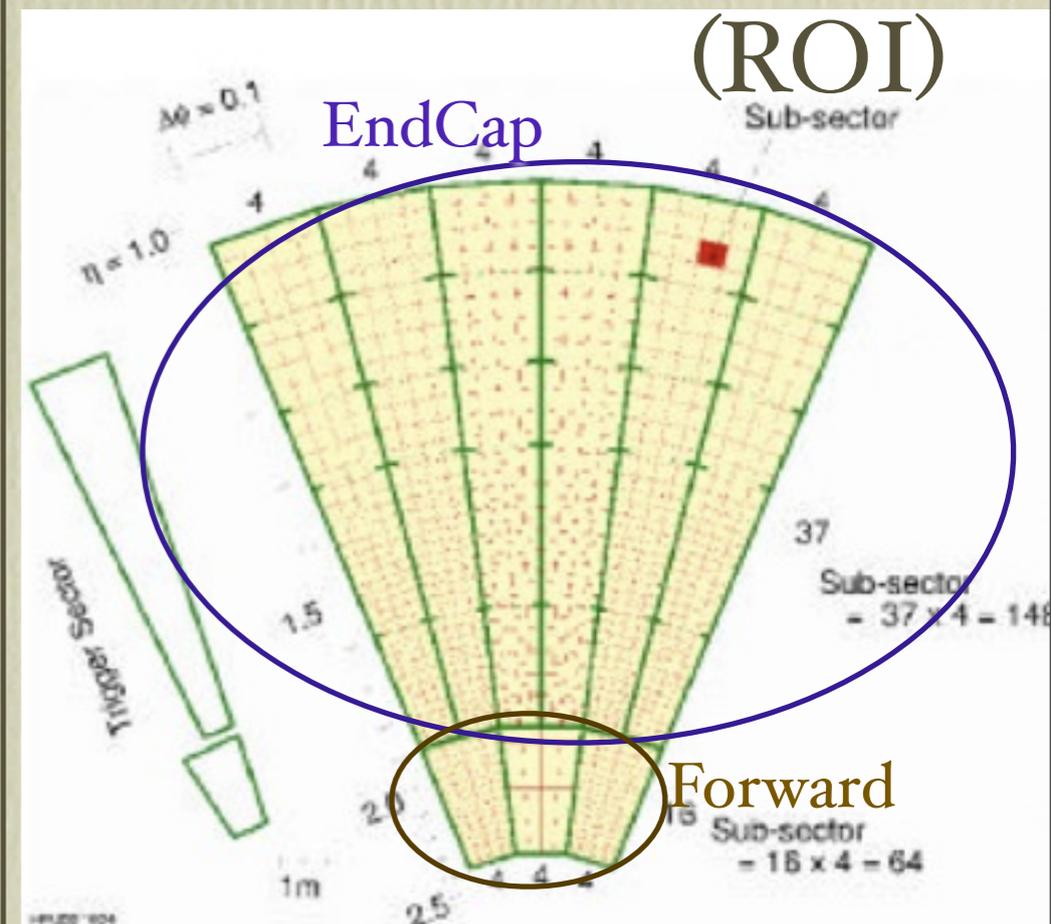
TGC(Thin Gap Chamber)

- EndCap部分のmuon chamber
- ATLAS最外層
- μ だけを検出
- μ のLVI triggerを担当



TGC Trigger

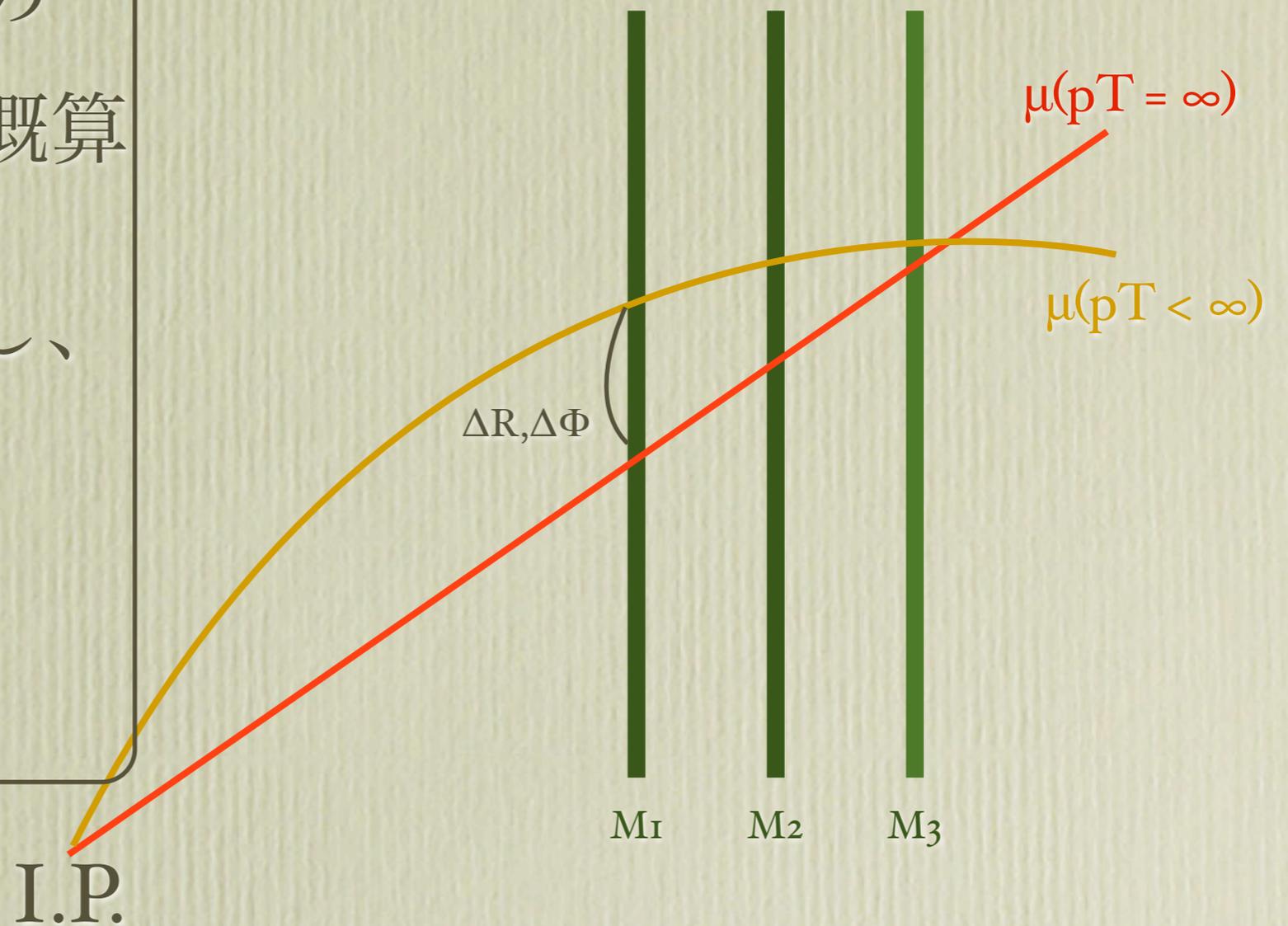
- μ のpT(横運動量)を基準にtrigger
- 6種のpT, hit位置(ROI)を出力
- **EndCap**: $1.05 < |\eta| < 1.92$
 Φ 方向に48分割
- **Forward**: $1.92 < |\eta| < 2.40$
 Φ 方向に24分割



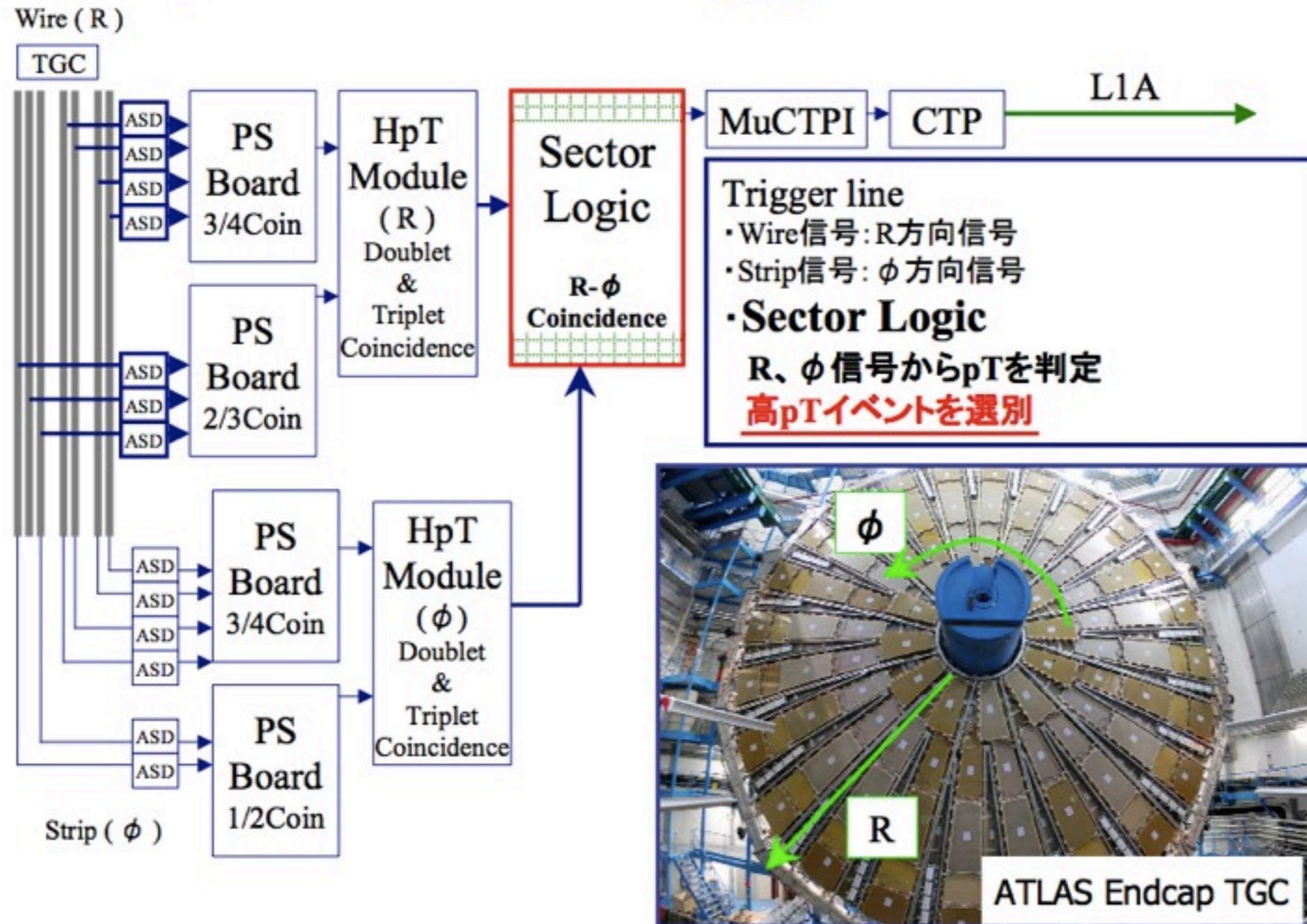
ROI(Region Of Interest):
 Φ 方向,R方向に
-0.03ずつ分割

TGC

- 無限運動量 μ と測定 μ の飛跡の差($\Delta R, \Delta\Phi$)を概算
- Look Up Tableを参照し、 p_T を算出
- p_T の高い2hitを残す

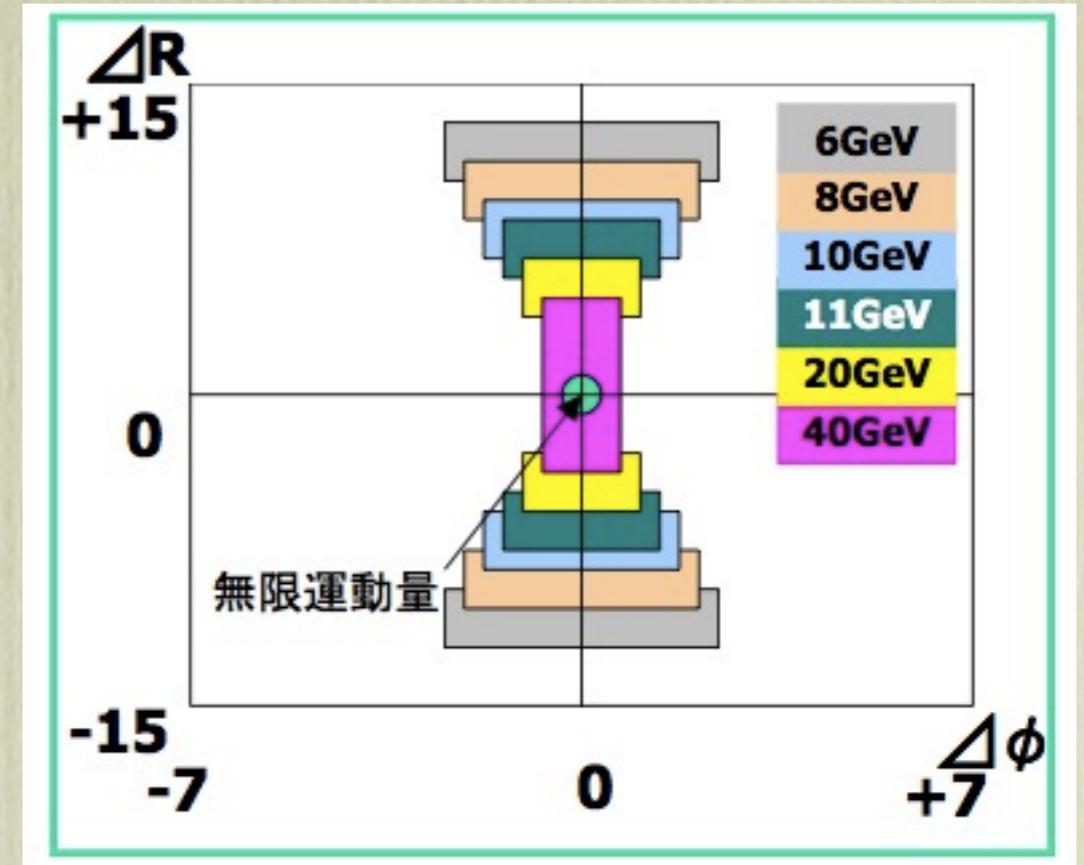


TGC data flow



Look Up Table

- $\Delta R, \Delta\Phi$ と p_T の対応表
- hit位置依存あり
 - 磁場の不均一、
 - ATLAS内部構造のため
- Sector Logic内に搭載



LUT概要図

Sector Logic

- pT算出、trigger発行
- FPGAの書換だけでlogicをupgrade
- sectorを19の部分(SSC)に分けて処理
 - 各SSCにLUTを搭載
- Sectorを跨ぐtrackはとれない



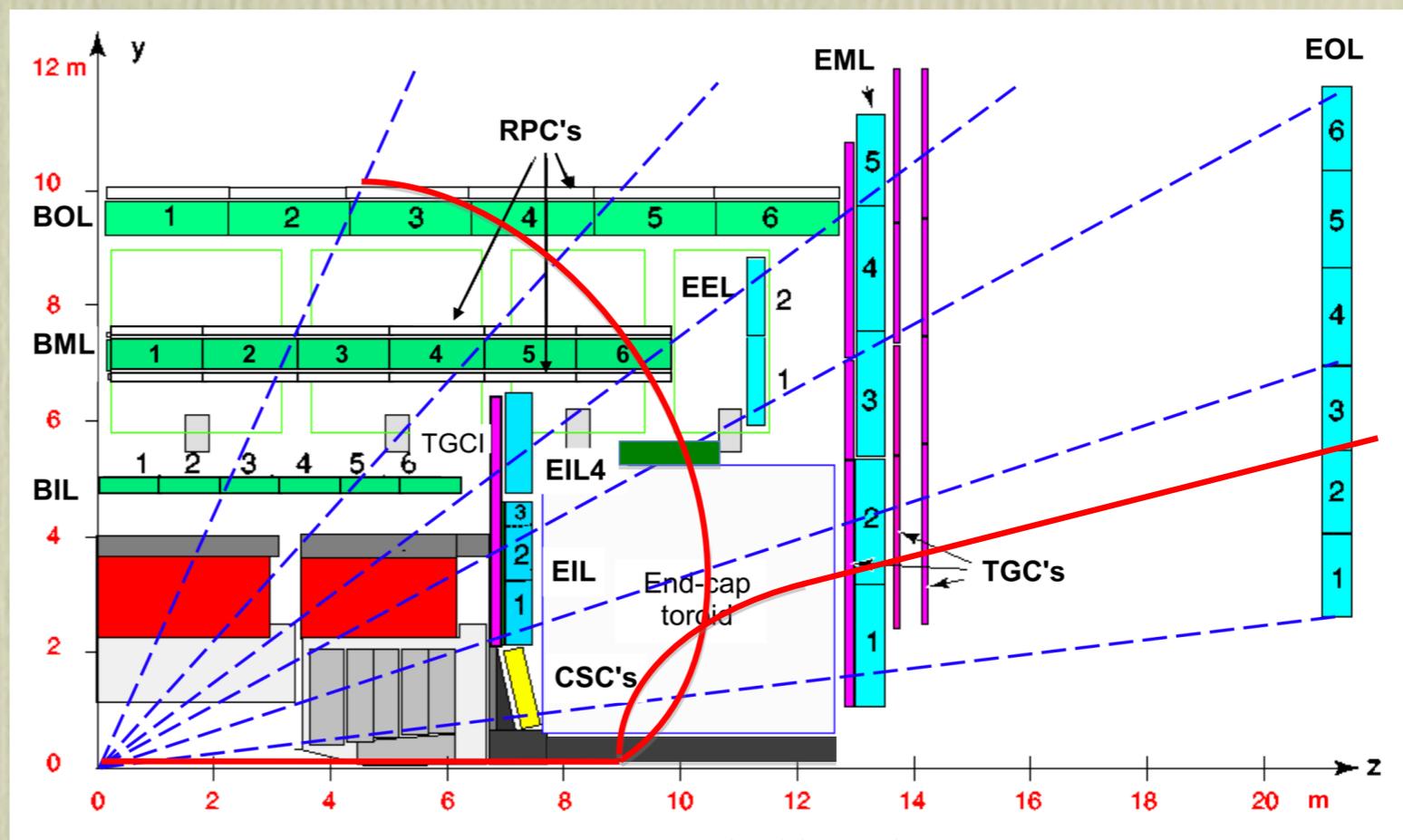
Sector Logic

Phaseo upgrade

BG Muon Level-1 System

現状:BGが多い

γ がbeam pipeを叩いてBGを出している(?) ->右図



Jan. 10-13 2012

ZAO2012 International Workshop on Atlas
Muon Trigger Upgrade

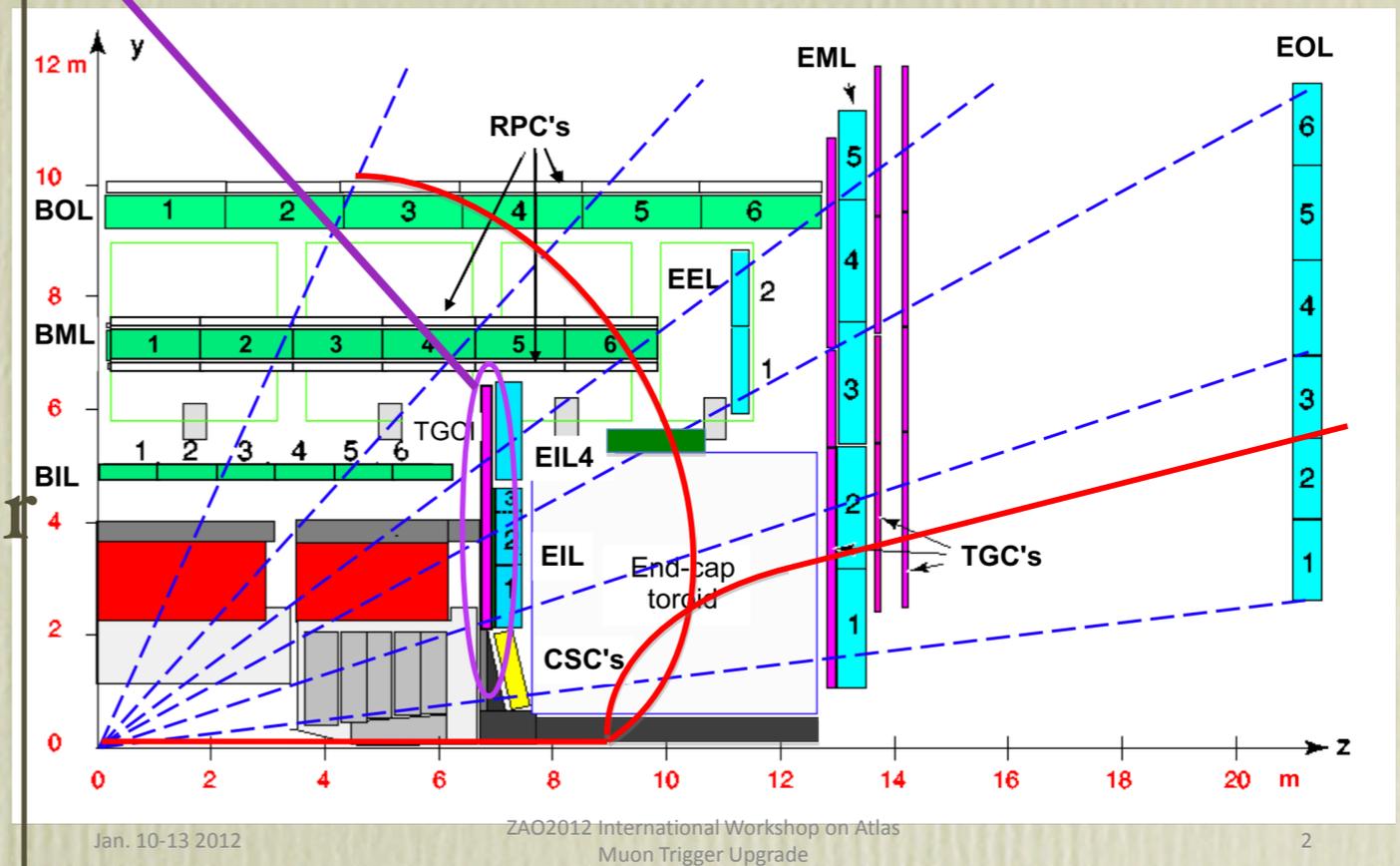
2

Luminosityの増加に対応するため、BG削減が必要

EI/FI coincidence

- BG削減のため、
内部chamber(EI/FI)
でのhitを要求
- EI/FIにhit->現状通り trigger
no hit ->triggerせず

EI/FI Muon Level-1 System



Jan. 10-13 2012

ZAO2012 International Workshop on Atlas
Muon Trigger Upgrade

2

demand

- IPからの μ に対してはefficiencyを保つ
 - >simulationでcoincidence条件をstudy
- EI/FI以外の部分でのtrigger schemeは不変
 - >実機でinput/outputの相関をtest
 - >Data でupgrade前後の差をtest

test bench

- KEKにtestbench作成
 - 実機test可能な環境
- 任意の入力pattern(BW,SW)作成
 - >出力との相関
- 作成したlogic通りの挙動であることを確認可能



Data test(plan)

triggerは不変に保ち、**veto bit** (1 bit) だけ可変

に

- veto bit = 1:
new logicでは
triggerなし
- veto bit = 0:
new logicでも
triggerあり

SL Endcap Read Out Data Format June.2012

CELL addr	0	1	2	3	4	5	6	7
0	Morethan2	ROI1<0>	ROI1<1>	ROI1<2>	ROI1<3>	ROI1<4>	ROI1<5>	ROI1<6>
1	ROI1<7>	0	ROI2<0>	ROI2<1>	ROI2<2>	ROI2<3>	ROI2<4>	ROI2<5>
2	ROI2<6>	ROI2<7>	0	PT1<0>	PT1<1>	PT1<2>	PT2<0>	PT2<1>
3	PT2<2>	1	1	BCID<0>	BCID<1>	BCID<2>	Charge1	Charge2
4	GlinkError	veto trigger1	veto trigger2	0	0	0	0	0
5	Wire0 dR1<0>	Wire0 dR1<1>	Wire0 dR1<2>	Wire0 dR1<3>	Wire0 Sign1	Wire0 H/L1	Wire0 Pos1	0
6	Wire1 dR2<0>	Wire1 dR2<1>	Wire1 dR2<2>	Wire1 dR2<3>	Wire1 Sign2	Wire1 H/L2	Wire1 Pos2	Wire1 ID2<0>
7	Wire1 ID2<1>	Wire1 ID2<2>	Wire1 dR1<0>	Wire1 dR1<1>	Wire1 dR1<2>	Wire1 dR1<3>	Wire1 Sign1	Wire1 H/L1
8	Wire1 Pos1	Wire1 ID1<0>	Wire1 ID1<1>	Wire1 ID1<2>	Wire2 dR2<0>	Wire2 dR2<1>	Wire2 dR2<2>	Wire2 dR2<3>
9	Wire2 Sign2	Wire2 H/L2	Wire2 Pos2	Wire2 ID2<0>	Wire2 ID2<1>	Wire2 ID2<2>	Wire2 dR1<0>	Wire1 dR1<1>
10	Wire1 dR1<2>	Wire1 dR1<3>	Wire2 Sign1	Wire2 H/L1	Wire2 Pos1	Wire2 ID1<0>	Wire2 ID1<1>	Wire2 ID1<2>
11	Wire3 dR2<0>	Wire3 dR2<1>	Wire3 dR2<2>	Wire3 dR2<3>	Wire3 Sign2	Wire3 H/L2	Wire3 Pos2	Wire3 ID2<0>
12	Wire3 ID2<1>	Wire3 ID2<2>	Wire3 dR1<0>	Wire3 dR1<1>	Wire3 dR1<2>	Wire3 dR1<3>	Wire3 Sign1	Wire3 H/L1
13	Wire3 Pos1	Wire3 ID1<0>	Wire3 ID1<1>	Wire3 ID1<2>	0	0	0	0
14	Strip0 dPhi2<0>	Strip0 dPhi2<1>	Strip0 dPhi2<2>	Strip0 Sign2	Strip0 H/L2	Strip0 Pos2	Strip0 ID2<0>	Strip0 ID2<1>
15	Strip0 ID2<2>	Strip0 dPhi1<0>	Strip0 dPhi1<1>	Strip0 dPhi1<2>	Strip0 Sign1	Strip0 H/L1	Strip0 Pos1	Strip0 ID1<0>
16	Strip0 ID1<1>	Strip0 ID1<2>	0	0	0	0	0	0
17	Strip1 dPhi2<0>	Strip1 dPhi2<1>	Strip1 dPhi2<2>	Strip1 Sign2	Strip1 H/L2	Strip1 Pos2	Strip1 ID2<0>	Strip1 ID2<1>
18	Strip1 dPhi1<0>	Strip1 dPhi1<1>	Strip1 dPhi1<2>	Strip1 Sign1	Strip1 H/L1	Strip1 Pos1	Strip1 ID1<0>	Strip1 ID1<1>
19	EI/FI<0>	EI/FI<1>	EI/FI<2>	EI/FI<3>	EI/FI<4>	EI/FI<5>	EI/FI<6>	EI/FI<7>

Trigger No hit -> All 0
GlinkError No error -> 0
veto trigger trigger killed by new (EI/FI) logic -> 1

SL出力

trigger不変のまま、upgradeの影響をtest

Plan

- EI/FI coincidence条件の決定(simulation)
- SLの仕様変更に関する交渉(CERN)
- Dataを用いてtest

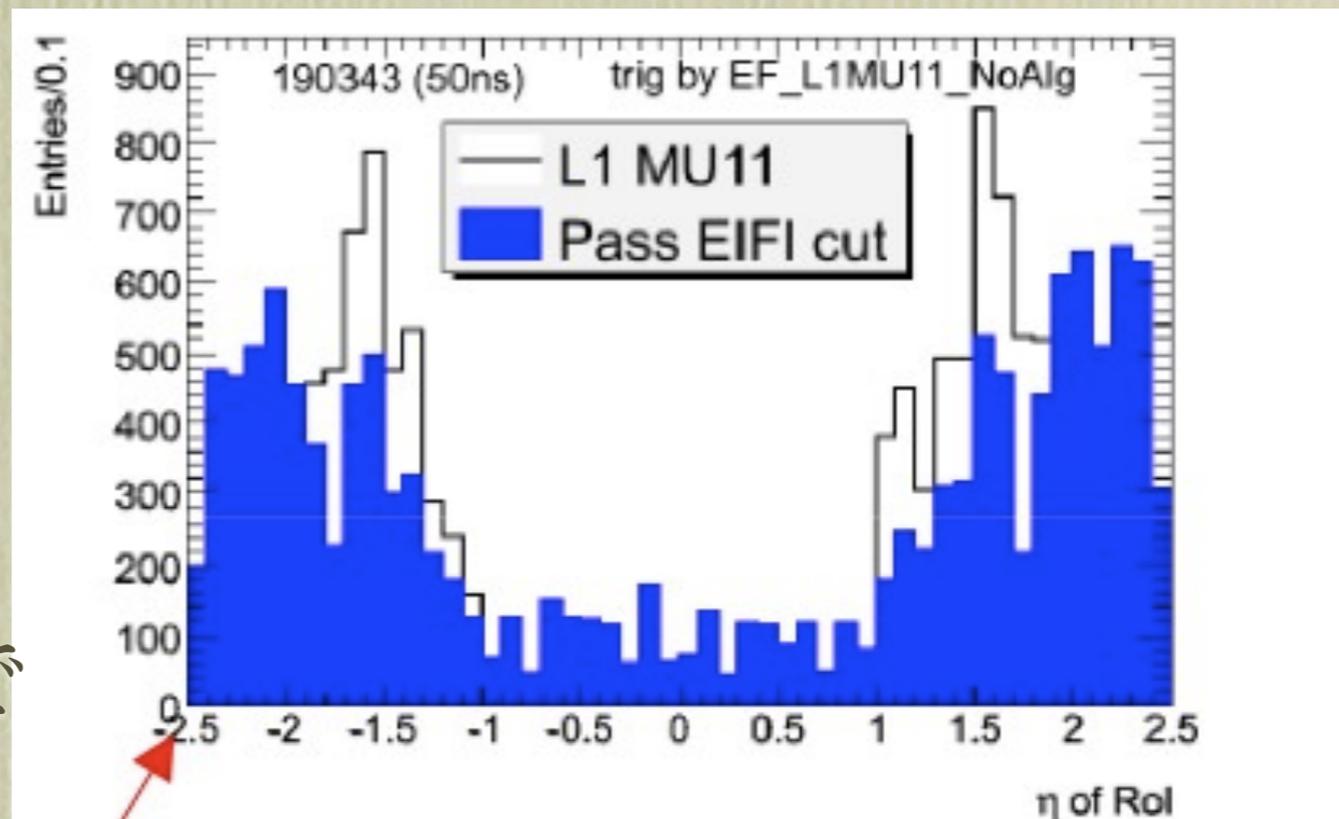
back up

BG suppression

EI/FIにhit要求

->30%ほどBGを落とせる

efficiency条件と併せた上で
どれだけ落とせるか
studyが必要



simulation結果