

Sector Logic Study

Takuto KUNIGO

11 / 07 / 2013

v 0.01

今回追加したかったこと

- EI/FIとのCoincidenceの取り方の改良
- Burst Stopperの追加

EI/FIとのCoincidence

- SLボードにはEI/FIの信号が3つ来ている
(EI/FI 0, EI/FI 1, EI/FI 2, EI/FI 3)
http://ppwww.phys.sci.kobe-u.ac.jp/~inamaru/2013_07_09.pdf に対応表がある
- 今はそれらの中のwireとstrip全てでORを取ってCoincidenceを取っている
- でも、もっと最適なCoincidenceの取り方があるはず!!

今回課しているCoincidence

- どういったCoincidenceを取ると最適かとうことはシミュレーションで考えられている(神戸 稲丸さん)
- 今回は簡単にSSC 0~5にhitがあり、EI/FI 0 にhitがある時のCoincidenceを取ることしよう

Burst Stopper

- ROD Busyの問題があった
- (本当はよくないけど)ROD Busyよりかはマシなので、いっぱいTriggerを出している時(Burst)にはvetoをかけるようにしよう

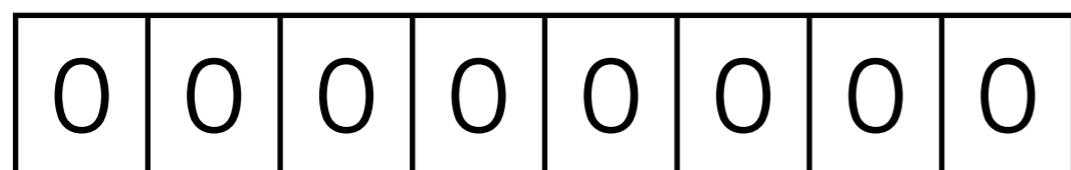


- Burst Stopperを追加する

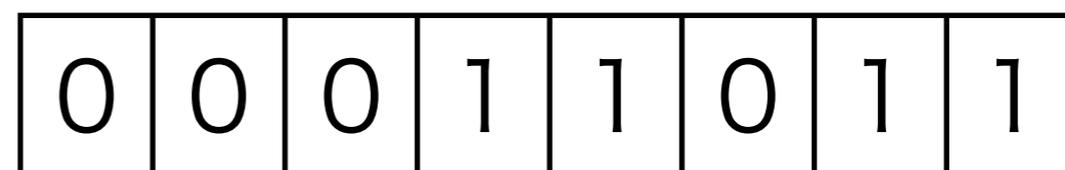
Burst Stopperの方法

- mバンチ中にn個のhitがあれば、vetoをかけるようにする。(m, nを適切に設定したい)

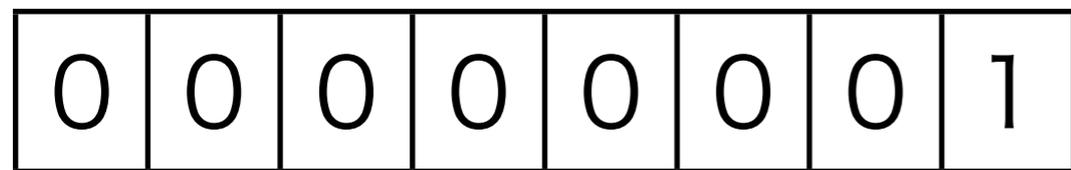
m=8, n=4 シフトレジスタ (32bit)



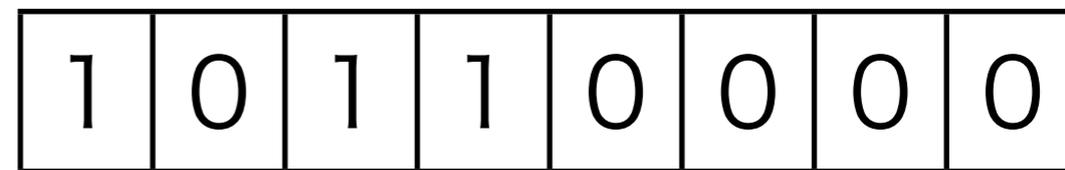
0hit ←



4hit: burst!! Flag ON



1hit ←



3hit: Flag OFF

今回の流れ 1

- 7/1 ~ 7/5(午前) の間 Open It(セミナー)
その間、全体のModuleの役割などについて学ぶ
- 7/5(午後): スタート
 - * M1がテストパルスを作成する。
 - * FPGAのconfigurationが出来ない。

今回の流れ 2

- 7/6 :
 - * M1がPPG, SSWを使えるようになる。
 - * configuration出来ない。(JTAG接続の準備)
- 7/7 :
 - * M1がSL → SSW → PT5 の読み出しができるようになる。
 - * 田代さんのbitファイルはconfiguration出来る。

今回の流れ 3

- 7/8:

- * configuration完了!!

- * テストパルス打ち込み。coincidenceが取れない。

- 7/9:

- * HDLデバッグ

- * elec22をネットワークに接続

今回の流れ 4

- 7/10, 7/11:
 - * 思いつく限りのテストパルスを打ち込む
 - * HDLデバッグ

やはり、原因不明で手詰まり

backup

