

LHC-ATLAS 実験 Run 2 における レベル 1 ミューオントリガー改良の ハードウェアへの実装

救仁郷拓人, 石野 雅也, 隅田 土詞, 田代 拓也,
蔵重 久弥^A, 長谷川 誠^A, 矢カ部 遼太^A, 佐々木 修^B
他 ATLAS 日本 TGC グループ
京大, 神戸大^A, KEK^B

18/ 9/ 2014

ノイズバースト

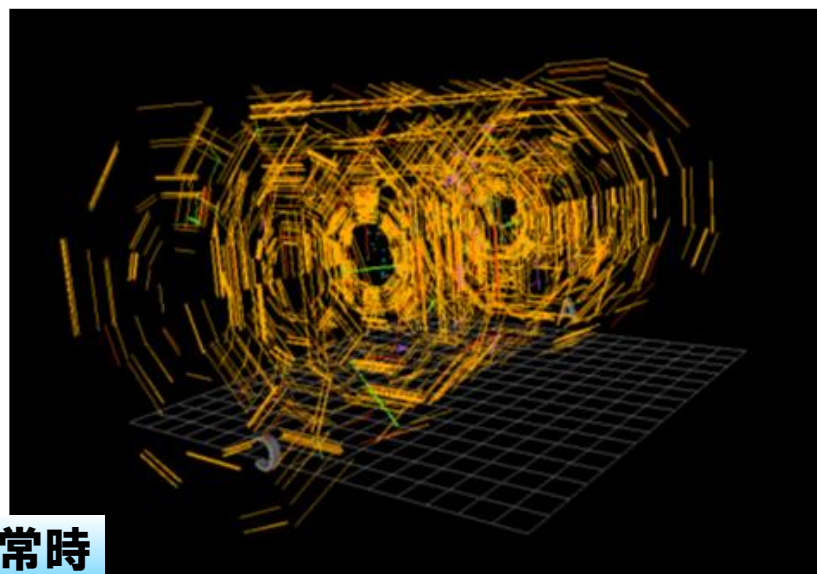
- ・システムビジー

LHC-ATLAS 実験の Run 1 においてミュオンシステムでバッファのオーバーフローが起こり、システムが止まってしまうことがあった。

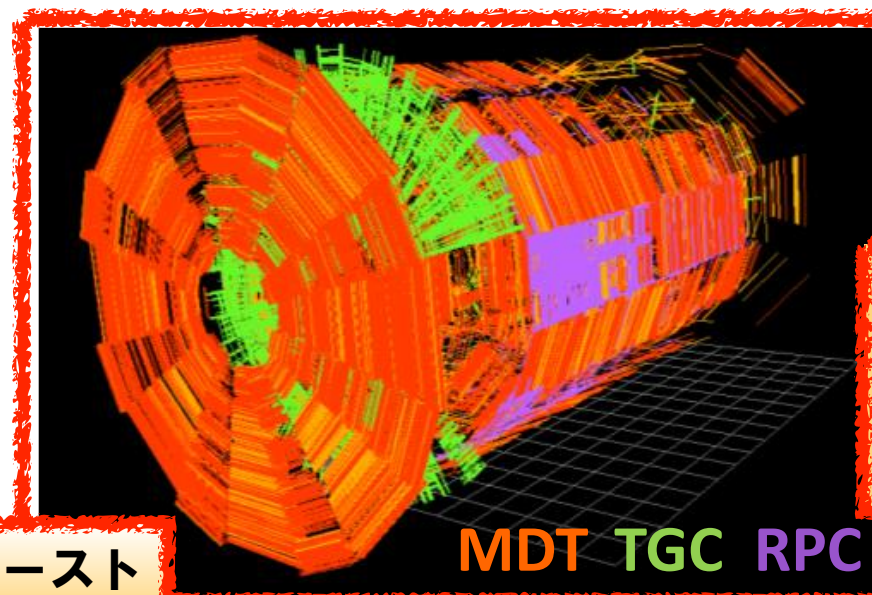
ROD ビジーの絵

- ・ノイズバースト

このシステムビジーが起きたイベントを取り出して解析すると、ミュオンシステム全体で大量のヒット情報があることがわかった。



通常時



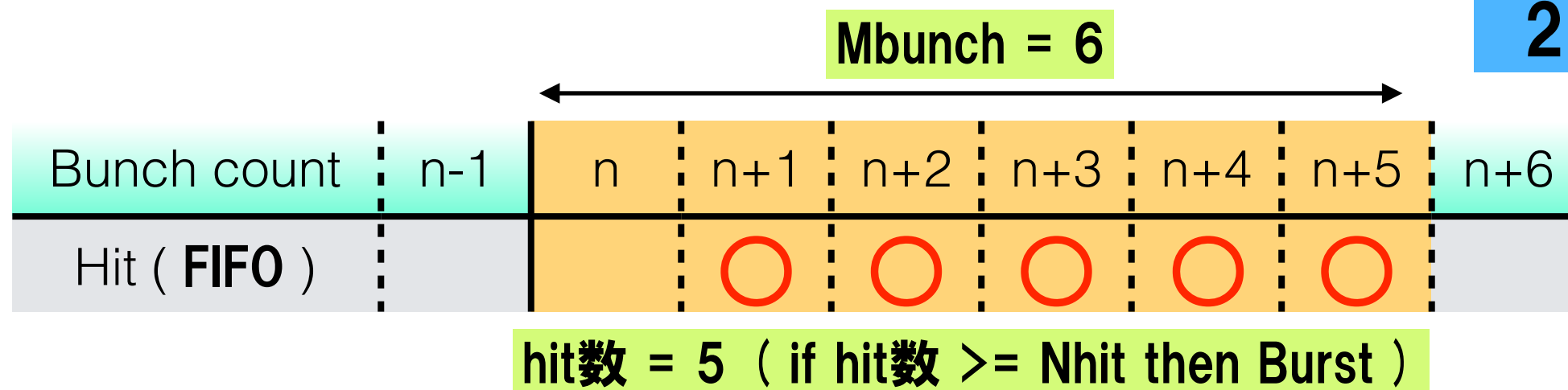
バースト

異常な量の
ヒット

バーストストッパーの機能

バーストを起こしてデータをロスすることを避けるために、TGC のトリガー判定を行う SL に防御機能を追加。

2013年度秋季大会
20pSM-6 来見田



- Mbunch: (5bit W/R) バースト判定のスコープ
- Nhit: (5bit W/R) バースト判定のスレッシュホールド
- VETObunch: (16bit R) VETOされたバンチ数
- Burstcount: (8bit R) バースト回数 (連続したVETOを1とする)

システムの防御は出来るがバースト時のイベントを全て
VETO するので原因を調べられない。
根本解決のため原因を突き止めたい！！

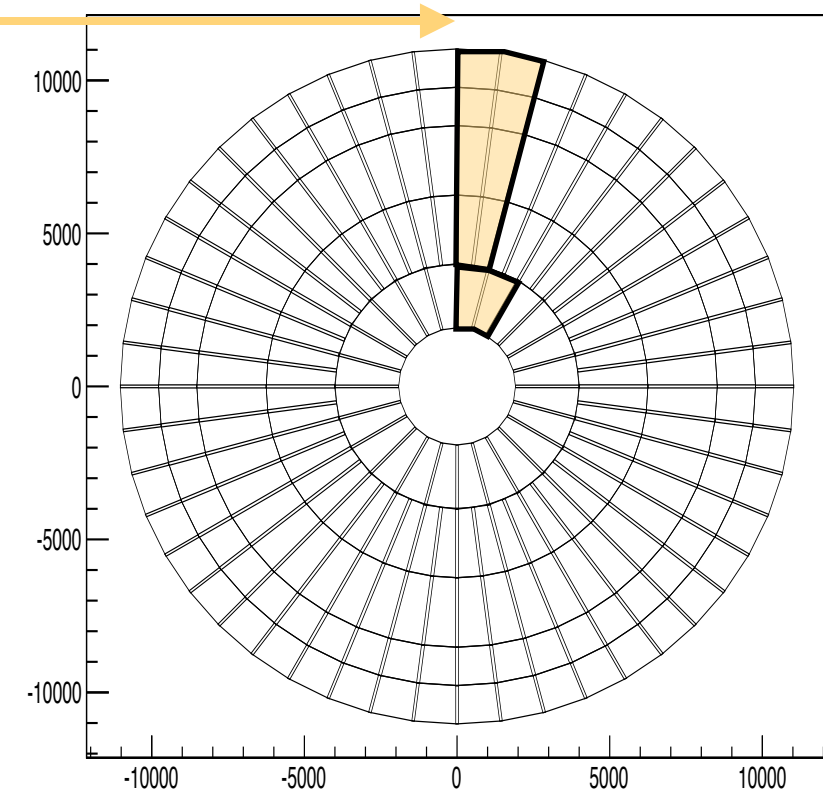
TGC 全体の情報を用いてノイズバーストの原因追求

• TGC SL での処理

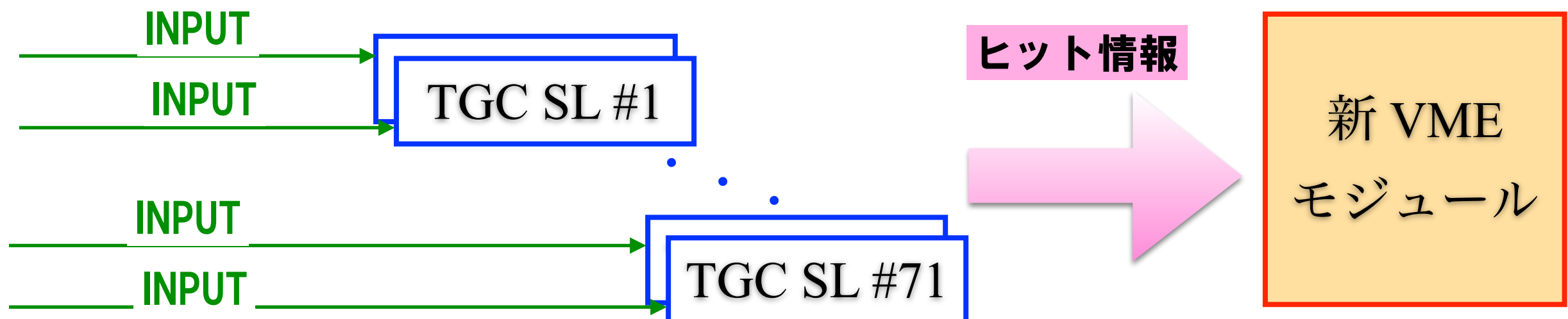
TGC SL では右図のオレンジ色部分の範囲のトリガー判定を行っている、**TGC 全体の情報**を調べることは出来ない

• 新 VME モジュール

TGC SL には LEMO コネクタがついていて、そこからヒット情報を NIM 出力することが出来る。その NIM 信号を全ての SL から一つのモジュールに集約することで**TGC 全体の情報**からバースト判定を行うことが出来る。



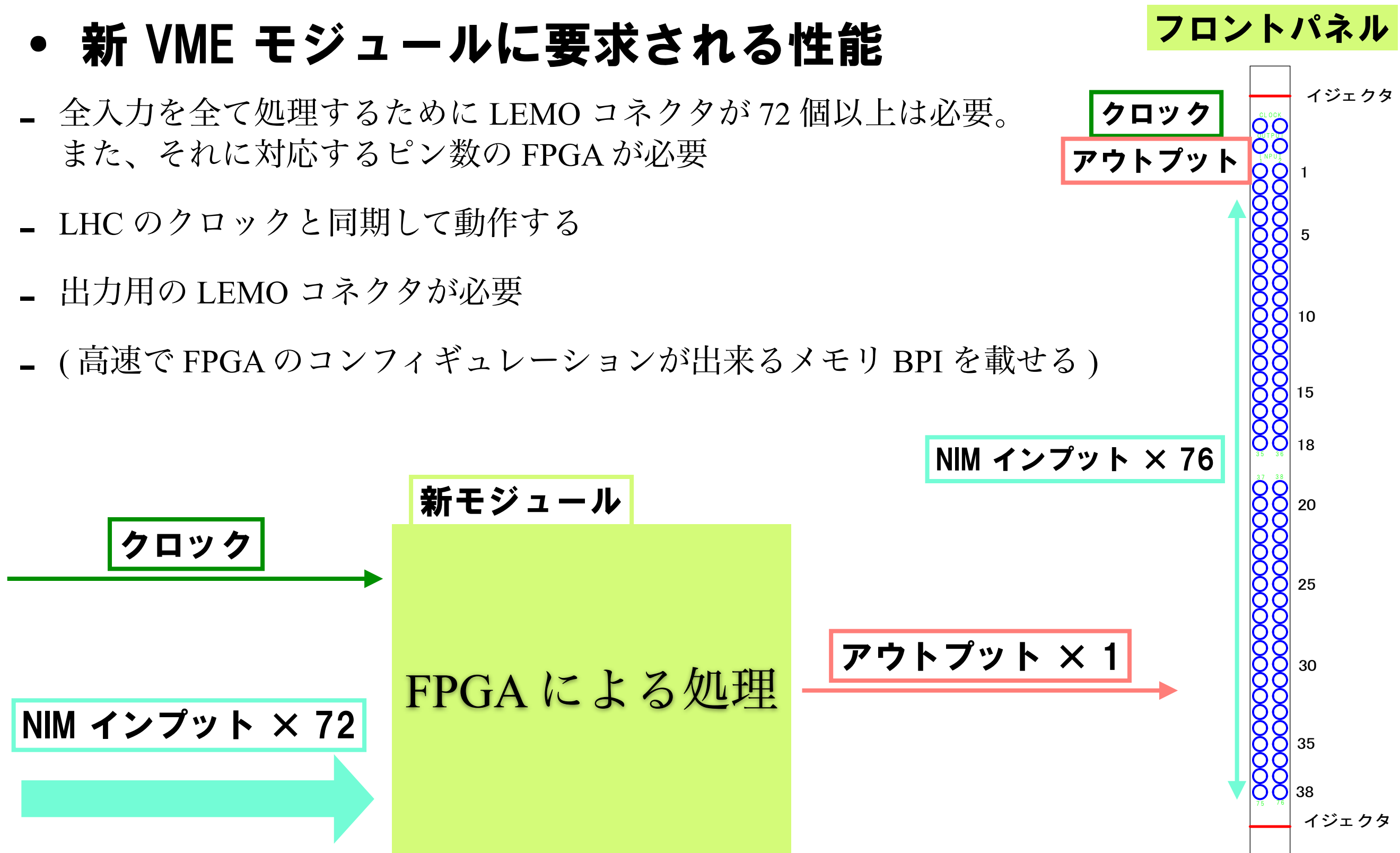
φ方向の分割単位
 $1.0 < \phi < 1.9 : 48$
 $1.9 < \phi < 2.4 : 24$



新 VME モジュールに要求される性能

• 新 VME モジュールに要求される性能

- 全入力を全て処理するために LEMO コネクタが 72 個以上は必要。
また、それに対応するピン数の FPGA が必要
- LHC のクロックと同期して動作する
- 出力用の LEMO コネクタが必要
- (高速で FPGA のコンフィギュレーションが出来るメモリ BPI を載せる)



FPGA のコンフィギュレーション速度

• FPGA のコンフィギュレーション

FPGA が高性能になるにつれて、FPGA に書き込むファイルサイズも増加していく。

ファイルサイズ：10年で約10倍

Virtex II → Kintex 7

大規模実験ではランの開始時に多数の FPGA に対してデータのダウンロードを行うために、コンフィギュレーションの速度は実験を円滑に進めるために重要な要素である。

• コンフィギュレーション速度

FPGA のコンフィギュレーション方法にはいくつかあるが、ここでは VME バスを使用したものと FPGA ファームウェア用の ROM を使用した方法を比較する。

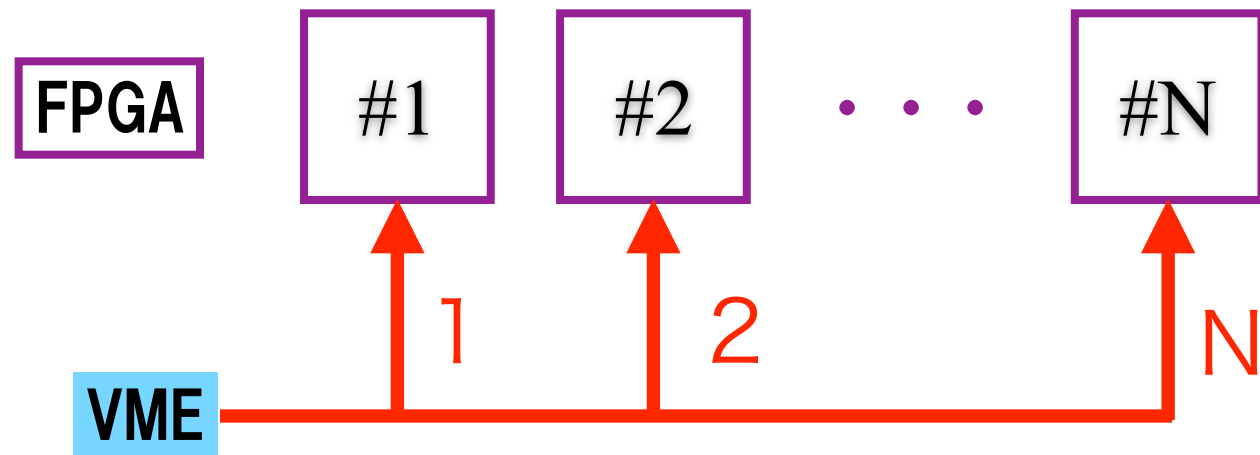
	JTAG	SPI	BPI	VME
コンフィギュレーション時間	37 sec	32 sec	2 sec	6 sec

$$\text{コンフィギュレーション時間} = \frac{\text{ビットストリーム サイズ}}{\text{コンフィギュレーション クロック周波数} \times \text{データ バス幅}}$$

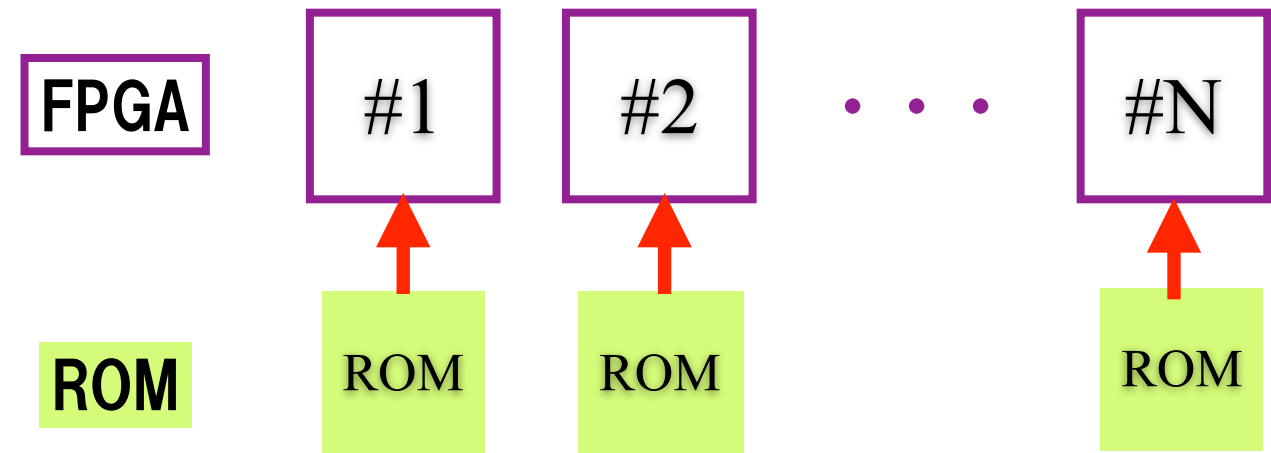
Xilinx 社 KC705 による実測値

BPI の VME モジュールへの実装

VME を使用したコンフィギュレーション



メモリを使用したコンフィギュレーション



- メモリを実装して FPGA データのダウンロードを行うことで
パラレルに処理が可能
- SPI は多くの実装例があるが、より高速な BPI は VME モ
ジュールに実装した例が見当たらない

本モジュールで実装に成功すれば、他のモジュールに対しても
より高速なメモリが実装可能

開発途中

✓回路図 OrCAD 作成
-基板レイアウト
-FPGA ファームウェア開発

スケジュール

- 9 月後半 : 試作機発注
- 10 月後半 : 試作機完成
- 試作機の動作テスト
- 11 月後半 : 量産機発注
- 12 月後半 : 量産機完成

開発途中

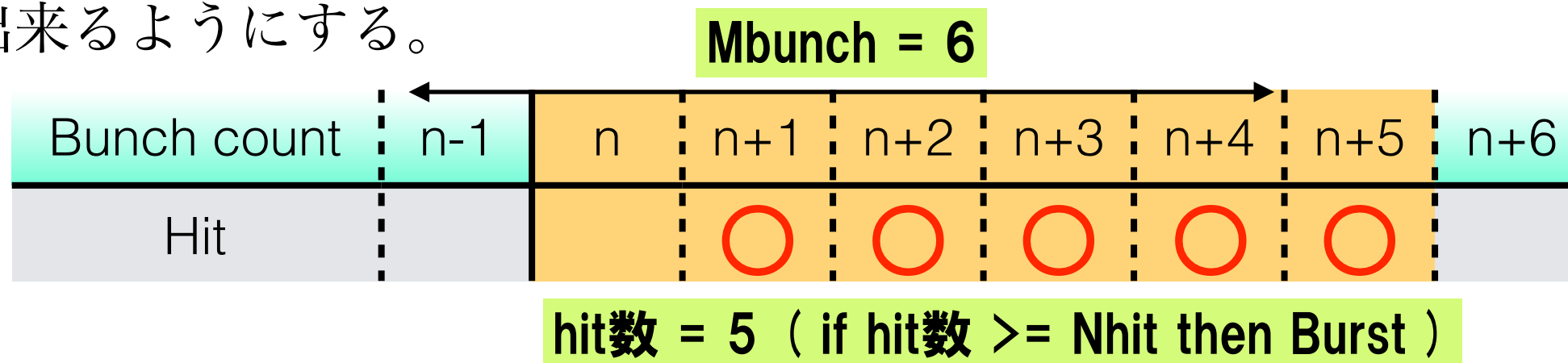


Open source consortium of Instrumentation

モジュールの運用方法

- パラメータの決定

バースト判定を行うスコープ範囲とスレッシュホールドの値を最適化するために、ロジックアナライザーを使用して解析を行う。バーストという異常な状態を判断出来るようにする。



- バースト情報の取得

バーストが起きている場合 SL によってトリガーは VETO されるが、新モジュールによって取得するイベントを決定して 1 バーストに 1 イベントだけ情報を取得する。

バーストの原因を突き止めて、根本的な解決を目指す

まとめ

- **ATLAS 実験ノイズバーストの精密調査**

- ATLAS 実験のミューオンシステムで起きるノイズバーストを調査するために VME モジュールの開発を行っている
- 必要な性能を調査し、それに見合う回路図を作成した。その図面にそった基板設計を現在業者に依頼している
- モジュールの運用方法を具体的に検討し、決定した

モジュールを完成させて運用することで、未だ分かっていない
ノイズバーストの原因を突き止める

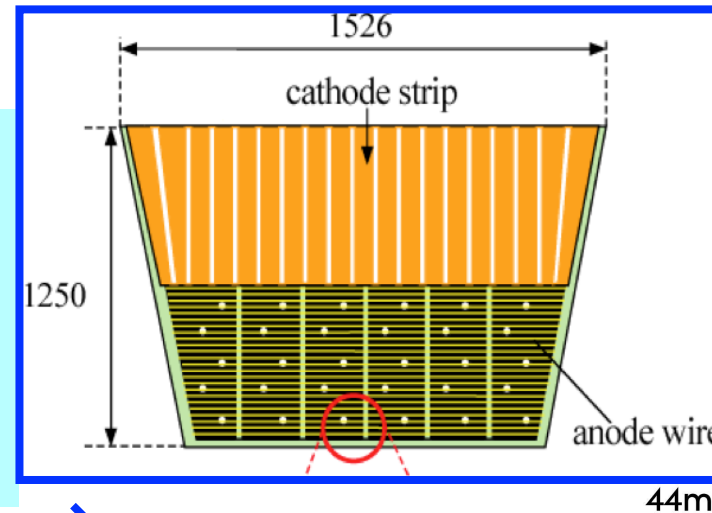
Backup

一時保存

TGC, TileCal

TGC (Thin Gap Chamber)

- MWPC の 2 次元読み出し
- ミドルTGC 7 層 + インナーTGC 2 層
- ミドル TGC で p_T を計り、高い p_T の μ に対してトリガーを出力

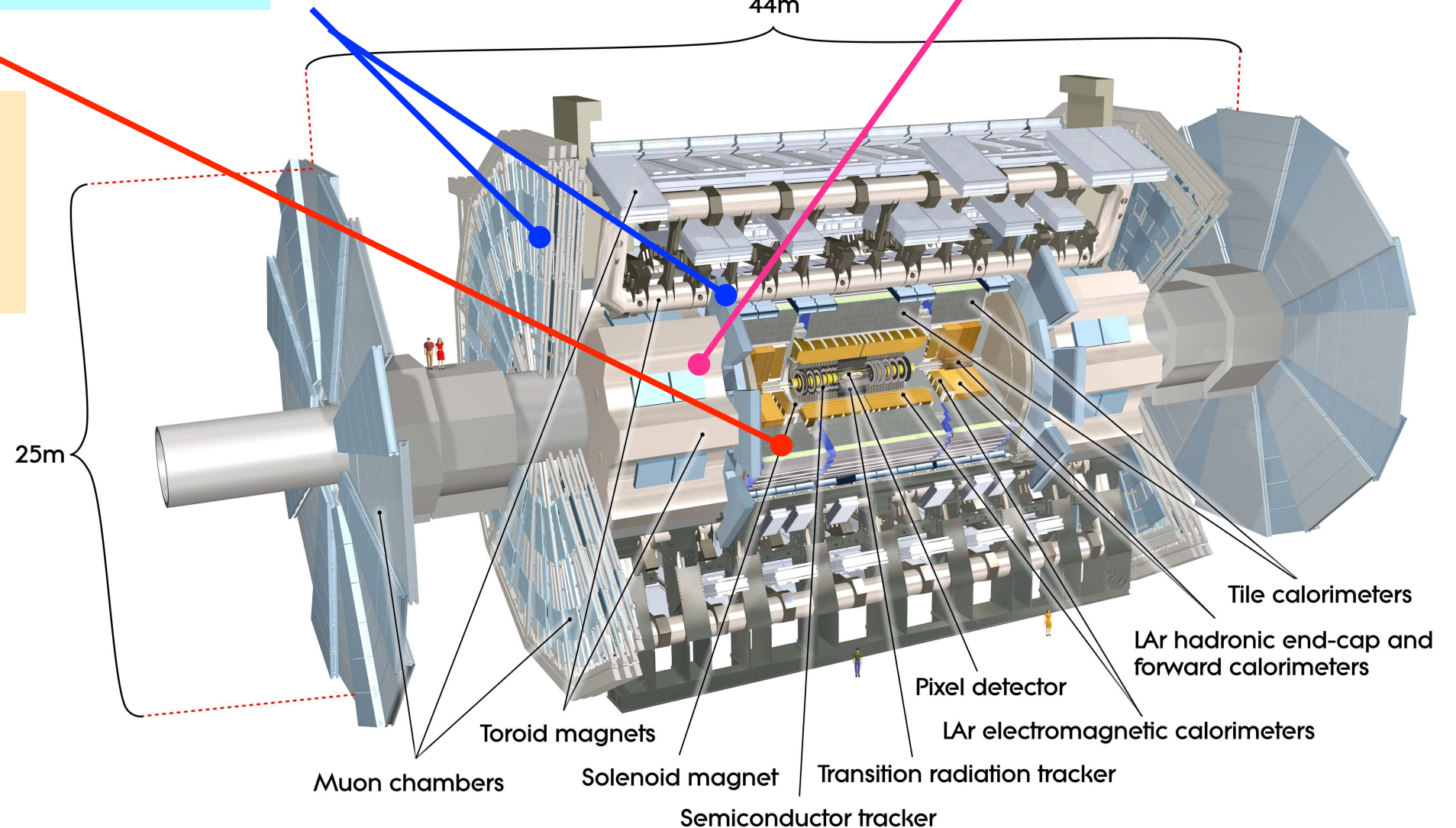
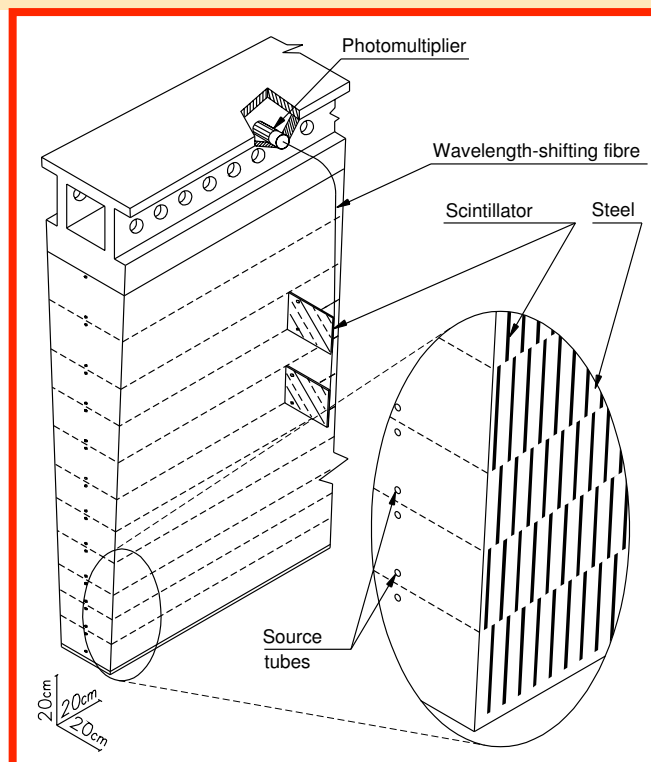


トロイド磁石

- 磁場によって μ を曲げる。
その曲がり具合から ミドル TGC で p_T を判定

TileCal

- 鉄とシンチレータのサンドイッチ構造
- 奥行き方向に 3 層



LHC-ATLAS 実験 Run 2

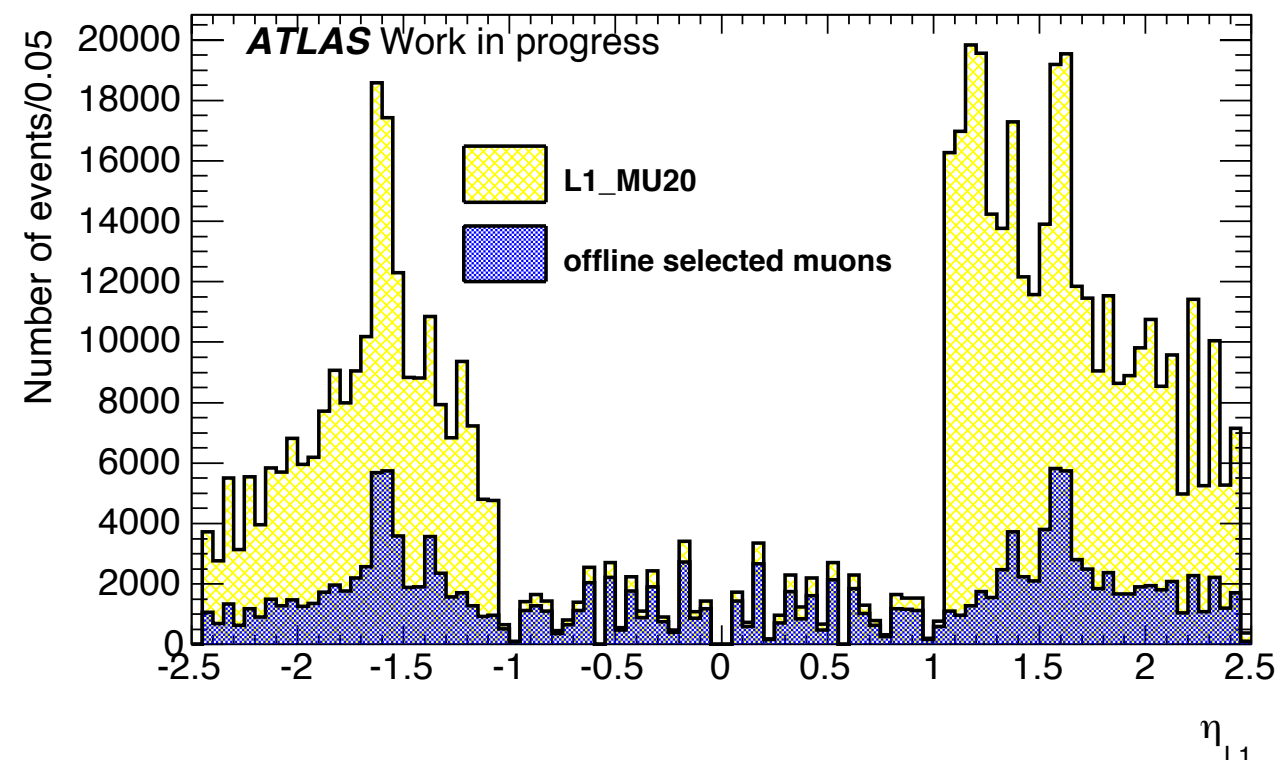
LHC	Run 1 (~ 2012)	Run 2 (2015 ~)
重心系エネルギー	7 ~ 8	13 ~ 14
Luminosity (cm	0.7×10	2.0×10
バンチ間隔	50	25
ATLAS Level 1 μ	Run 1 (~ 2012)	Run 2 (2015 ~)
p	15 GeV/c	20 GeV/c
Trigger rate	6 kHz	34 kHz

物理解析からの要請

出来るだけ p_T threshold は
低くしたい

L1 トリガー全体で100kHz
以内にしないといけない
なので μ のレートも
出来るだけ減らしたい

Run 1 の条件



フェイクトリガーを削減して、
トリガーレートを許容出来る
範囲に抑える

TGC と TileCal とのコインシデンス

(2015 ~)

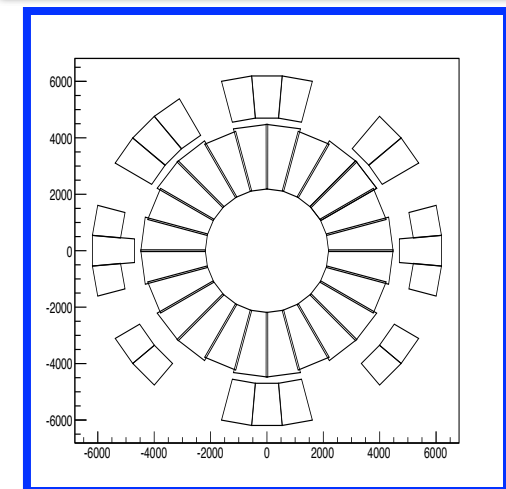
- Run 2 における新たなトリガー条件

◆ $1.0 < |\eta| < 1.3$

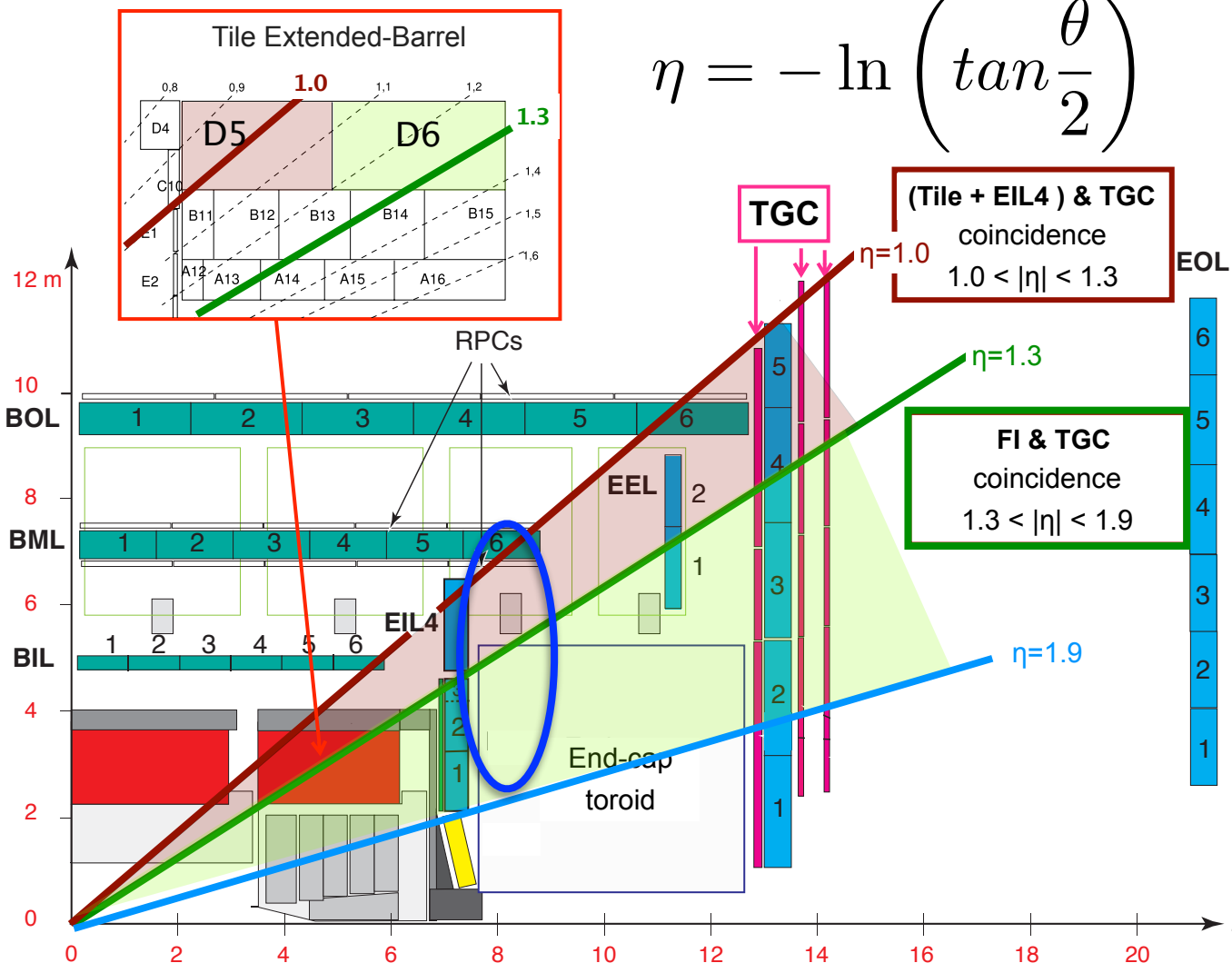
ミドル TGC & { インナー TGC (EIL4) || **Tile** }

◆ $1.3 < |\eta| < 1.9$

ミドル TGC & インナー TGC (FI)

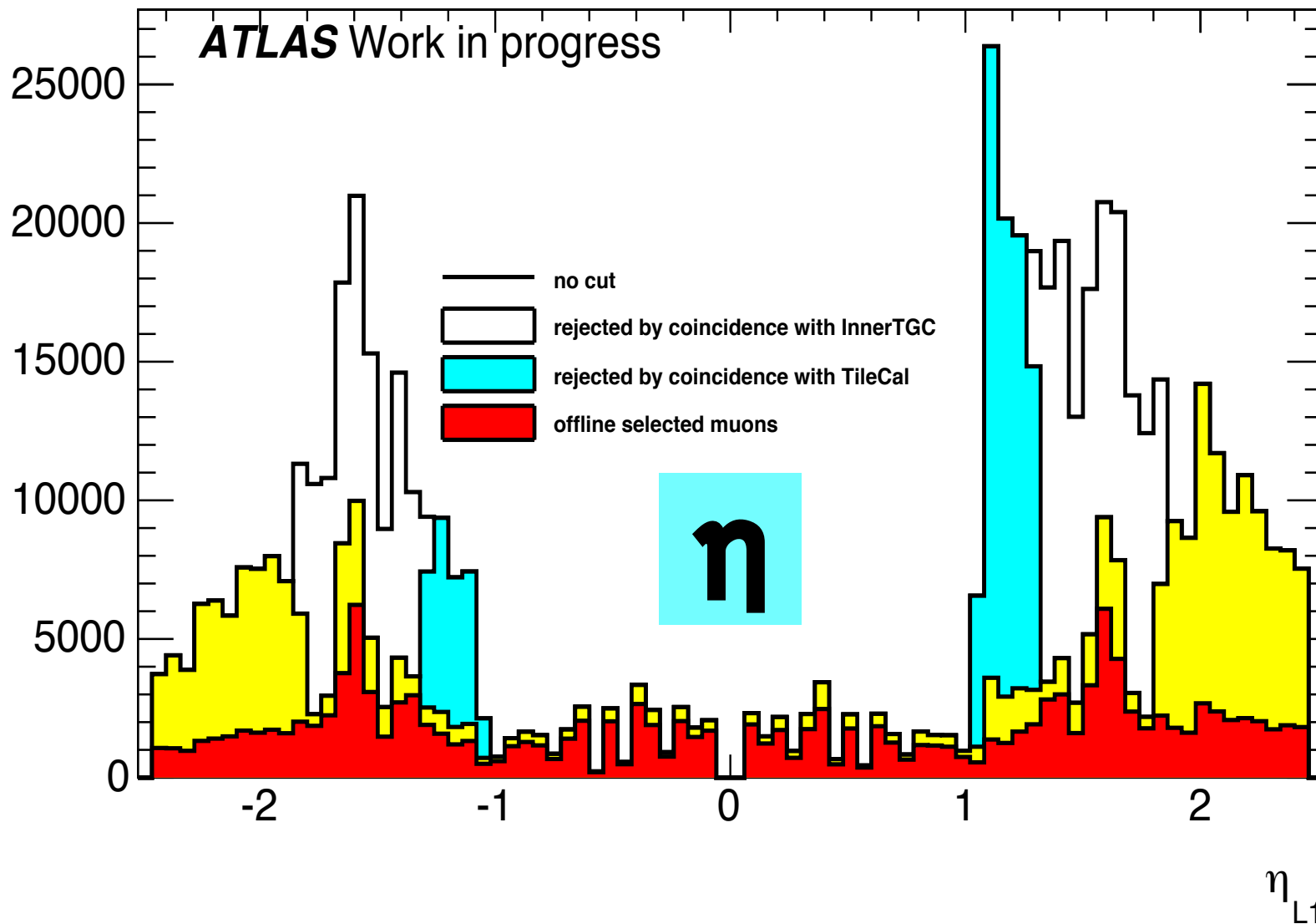


$$\eta = -\ln \left(\tan \frac{\theta}{2} \right)$$



1.0 < |η| < 1.3 の領域に新しく TileCal との
コインシデンスを導入する

TGC と TileCal とのコインシデンスの性能



	rete reduction (%)	efficiency (%)
no cut	100.0	100.0
インナー TGC	69.6	98.5
Tile	53.4	98.1

Run 2 で実装する

2014年度秋季大会
29pTH-11 救仁郷

- コインシデンス手法の FPGA への実装 (長谷川 18pSH-4)
- 期待されるパフォーマンスの評価 (矢ヶ部 18pSH-5)

TileCal からの信号を TGC へ送る

- TGC と TileCal という **独立した大規模検出器間** で情報をやりとり
- TileCal からの信号を TGC のトリガー判定のためには、必要とされるフォーマットのデジタル信号に変換しないといけない



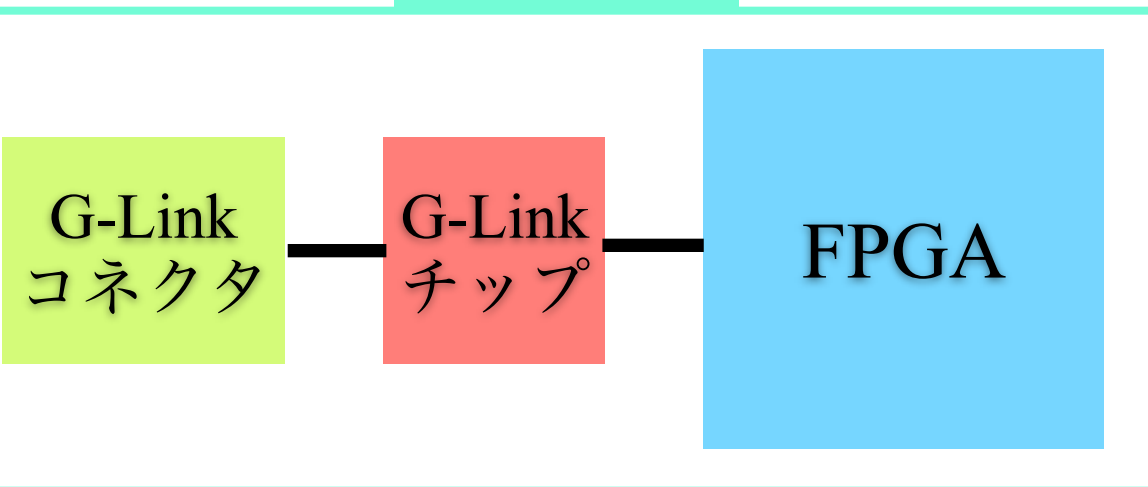
G-Link のフォーマット

TileCal unit 3				TileCal unit 2				TileCal unit 1				TileCal unit 0			
D5+D6		D6		D5+D6		D6		D5+D6		D6		D5+D6		D6	
H	L	H	L	H	L	H	L	H	L	H	L	H	L	H	L
0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1

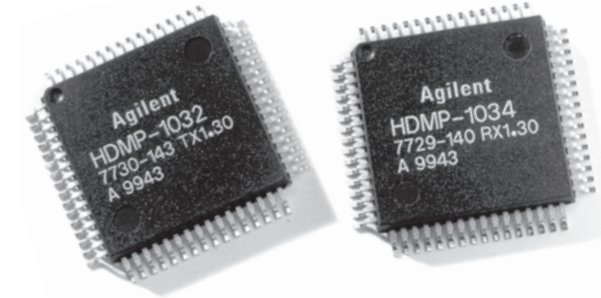
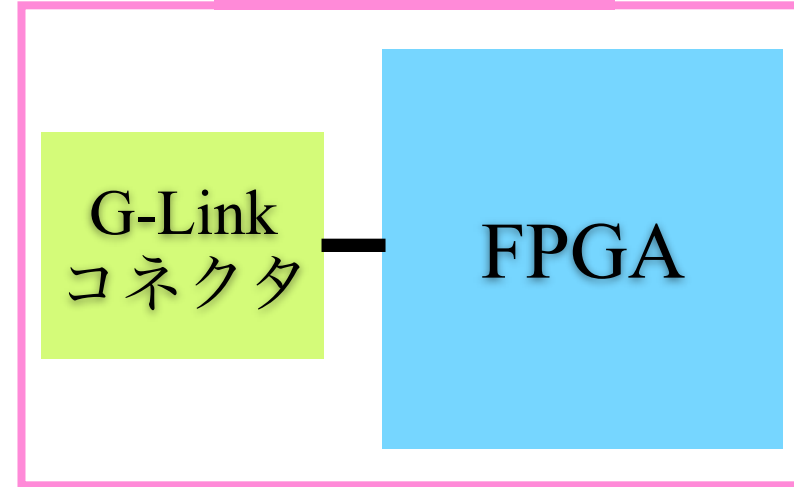
TileCal の D5・D6 セルを使用
スレッシュホールドは H/L の 2 つ

TGC と TMDB 間の G-Link コネクションテスト

通常の処理



TMDB の処理



G-Link Transmitter/Receiver Chip

FPGA での G-Link 信号生成のエミュレーションが正しく動作することを確認するために、FPGA に書き込んだテストパターンを打ち出すテストを行った。

• テスト項目

- ✓ G-Link 信号のエラービットが正常であることの確認
- ✓ 16 bit の全ての bit にテストパターンを打ち、それらが正しく読み出せることの確認

**TMDB - SL 間の
コネクション O.K.**



Next Step

TileCal からのアナログ信号を処理してテスト