

# SOI-STJ検出器開発

新学術領域研究「ニュートリノフロンティア」研究会

@クロス・ウェーブ府中

2013 / 12 / 7

笠原 宏太(筑波大学)

# Outline

□ SOI-STJ検出器導入の動機

□ SOI-STJ検出器の紹介

□ SOI-STJ研究開発の現状

□ SOI-STJ2検出器の導入

□ まとめ

# SOI-STJの導入

- ニュートリノ崩壊光探索ロケット実験でのNb/Al-STJへの要求は遠赤外光1光子の観測。しかし、未だそれに至っていない。
  - 測定系の構築、及びSTJの光応答性の考察については次の奥平君(筑波大学)のトーク。
- 原因としては、冷凍機内部から非常に長い配線(5m強)の引き回しを経て信号を増幅している事が考えられる。
  - 低温(4K以下)で動作するアンプがあれば、冷凍機内部に設置し、STJの信号がNoiseに埋もれる前に増幅し、冷凍機外部で読み出せる。
- JAXAにより、FD(Fully depleted)-SOIプロセスで作成されたSOIFETが4Kで動作するとの報告。



**Development of cryogenic readout electronics using fully-depleted-silicon-on-insulator CMOS process for future space borne far-infrared image sensors**

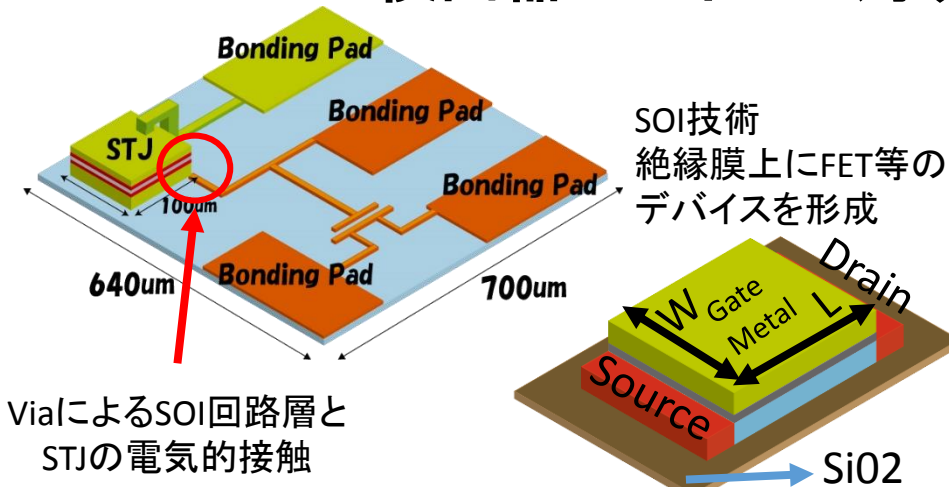
Hirohisa Nagata\*, Takehiko Wada\*, Hirokazu Ikeda\*, Yasuo Arai† and Morifumi Ohno\*\*

**SOIFETとSTJ検出器を組み合わせたSOI-STJ検出器の導入。**

**AIPC 1185, 286-289 (2009)**

# SOI-STJ

## STJ検出器のノイズに対する読み出し系の改善方法



SOIのLSI化の技術

SOIにより極低温で読み出し構築可能

エネルギー分解能の高いSTJ検出器

SOI-STJとは...

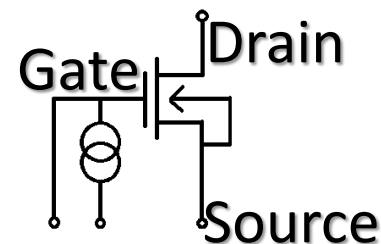
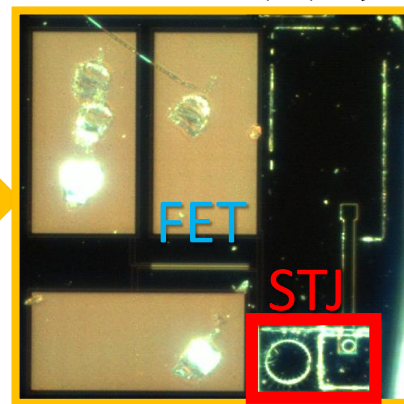
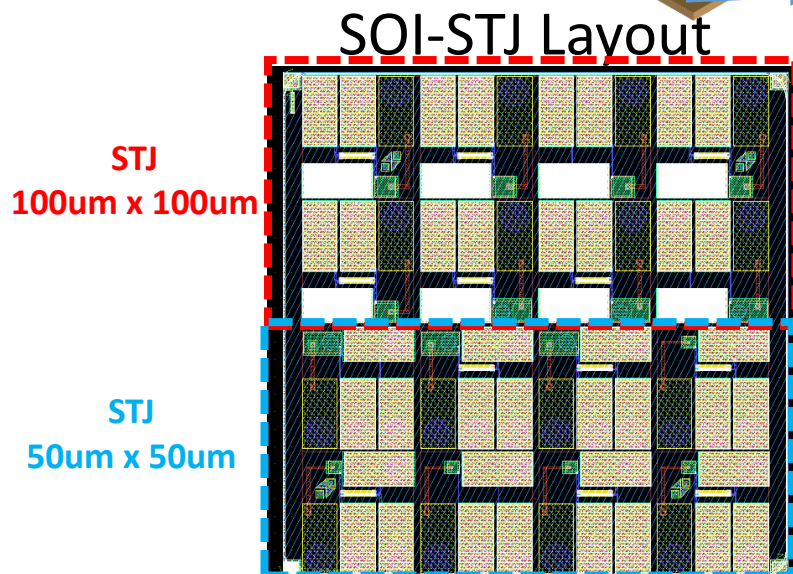
アンプが形成されたSOIの回路層に直接STJを形成した検出器。

### SOI-STJの利点

STJ検出器から配線の引き回しが不要。

□ 良いS/N比

□ STJのマルチチャンネル化に対応可能。



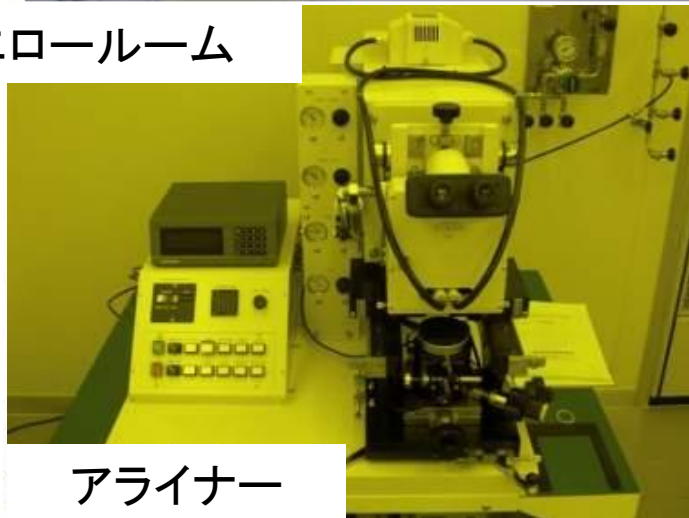
導入段階として、MOSFET単体( $w=1000\mu\text{m}$ ,  $L=1\mu\text{m}$ )とNb/Al-STJによる試作を性能評価を行った。

# KEK 超伝導検出器開発システム

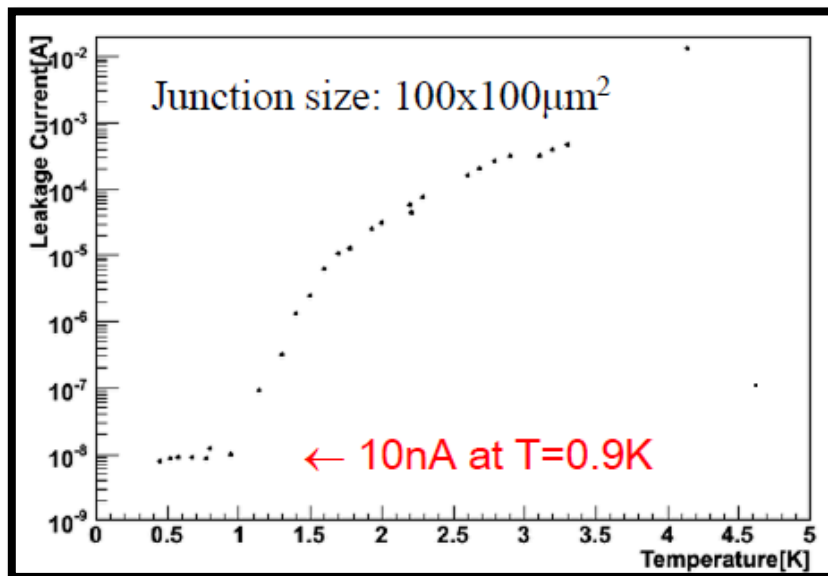
SOIwafer側の読み出し回路は設計後Lapis Semiconductorに発注、Wafer受け取り後KEKクリーンルームでSTJの形成。



イエロールーム



# SOI-STJ研究開発の現状



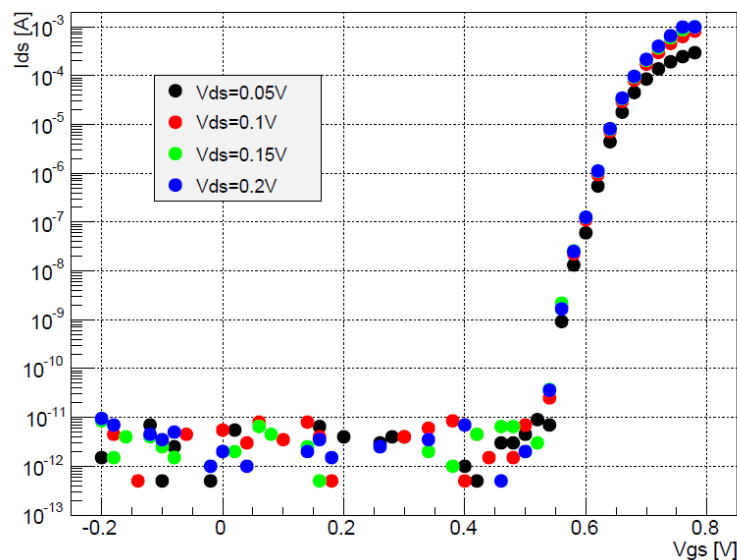
## Nb/Al-STJ Leak Current

STJ leak currentは熱励起によるもの、不完全なJunctionの形成によるものの2つあると考えられる。

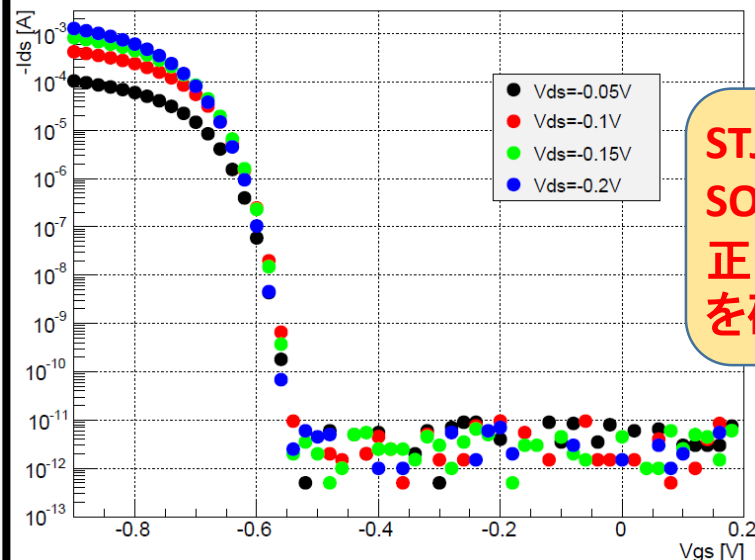
現在使用しているSiwaferに直接Nb/Al-STJを形成したものでは左図のleak currentの温度依存性が見られた。

SOI-STJはリークの最も小さくなる1K以下での動作を目指すため、**SOIFETは1K以下で動作することが要求される。**

nmos1 at 960mK  $I_{ds}$ - $V_{gs}$



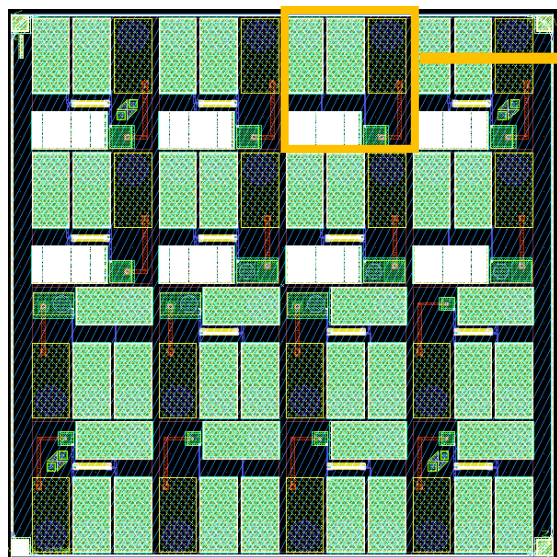
pmos3 at 750mK  $I_{ds}$ - $V_{gs}$



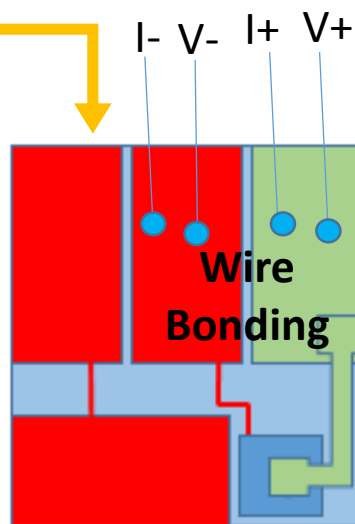
**STJを形成したSOIFETが1K以下で正常に動作する事を確認した。**



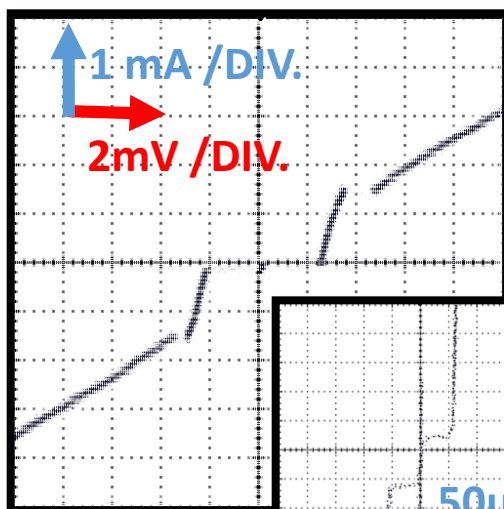
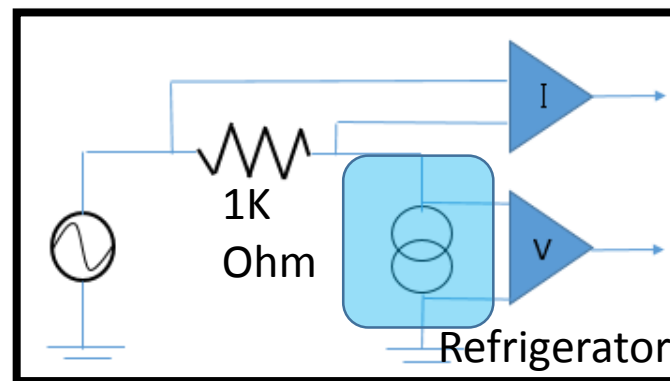
# SOI-STJ研究開発の現状



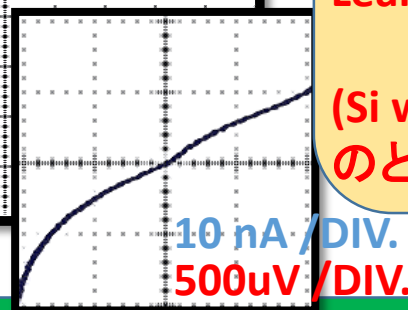
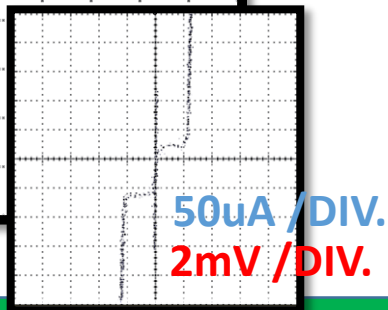
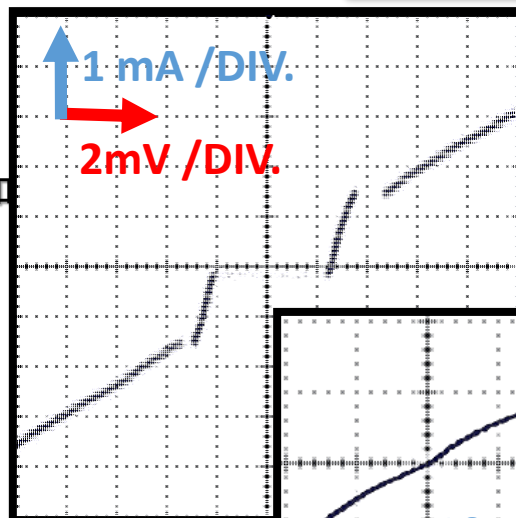
2.9mm角 SOI-STJ Layout



16個のpatternの内、SOIFETの形成されていないpatternを使用して、希釈冷凍機による**700mK**でのNb/Al-STJ(50um x 50um)の性能評価を行った。



約150 Gauss印加



SOI上の形成したNb/Al-STJでジョセフソン接合素子特有のI-V特性を確認。  
Leak Current at 0.5mV  
~6nA  
(Si wafer上に形成したものと同ほぼ同じquality)

# SOI上のNb/Al-STJの光応答信号

50um角のSTJに可視光レーザー(465nm)を20パルス(50MHz)照射し、STJの電圧変化を確認した。

このときの発生電荷量の  
パルス波高分布からphoton数  
を見積もると、

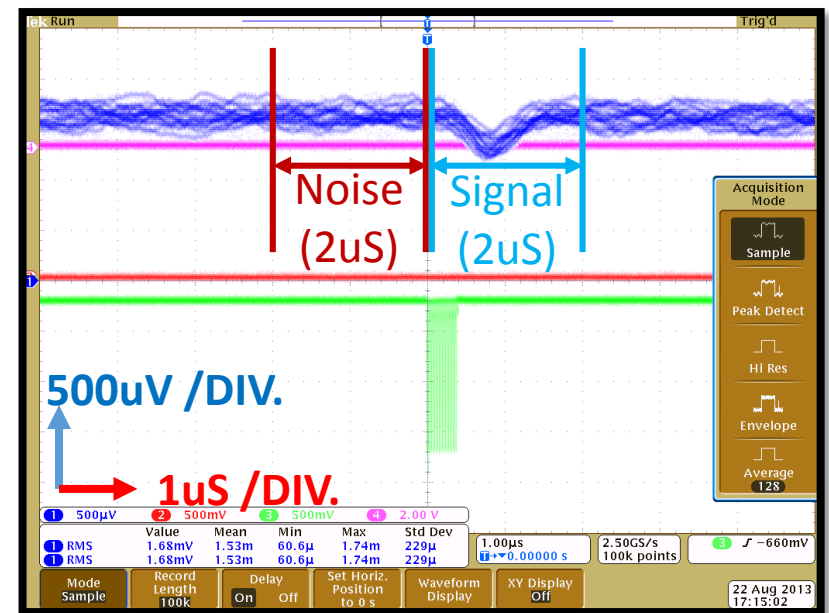
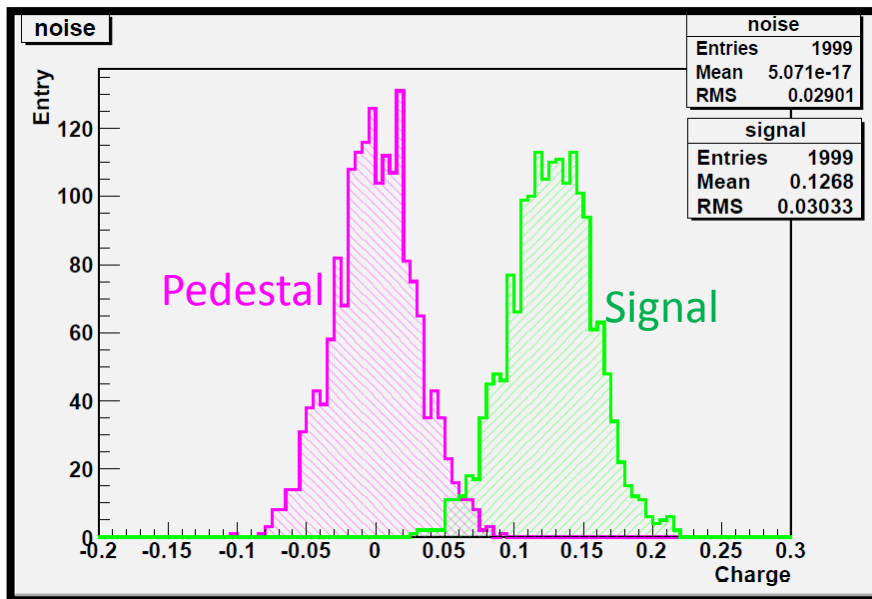
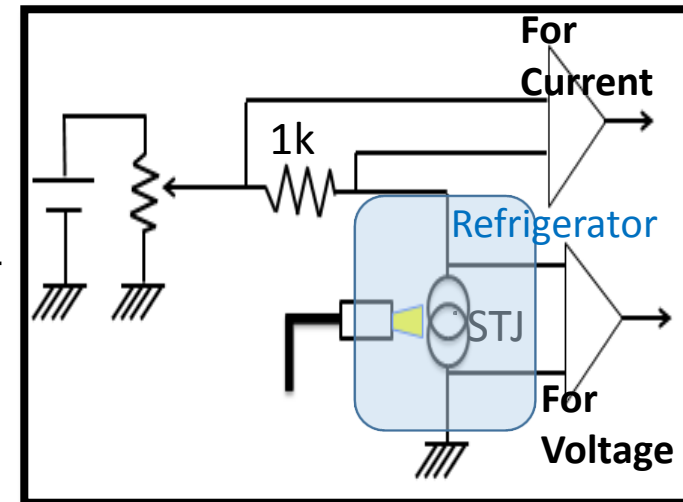
SOI上に形成したSTJ検出器の  
可視光(465nm)に対しての応答  
を確認した。

$$Ny = \frac{M^2}{\sigma^2 - \sigma_p^2}$$
$$= \frac{0.1268^2}{0.03033^2 - 0.02901^2}$$
$$\sim 206 \pm 112$$

M : Mean

$\sigma$  : signal RMS

$\sigma_p$  : pedestal RMS





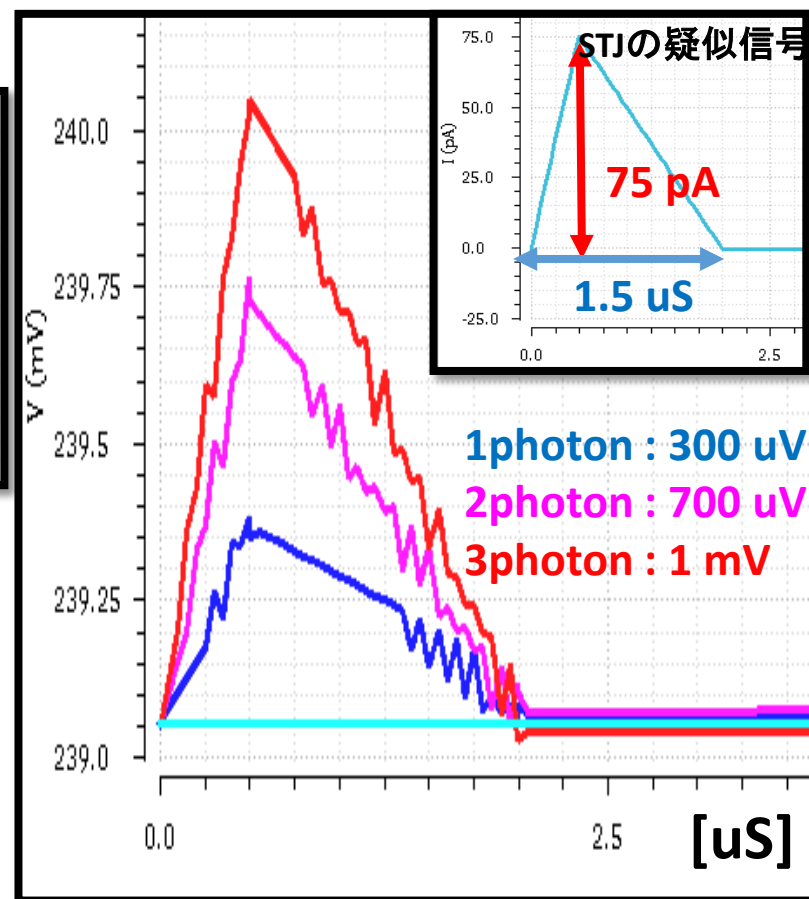
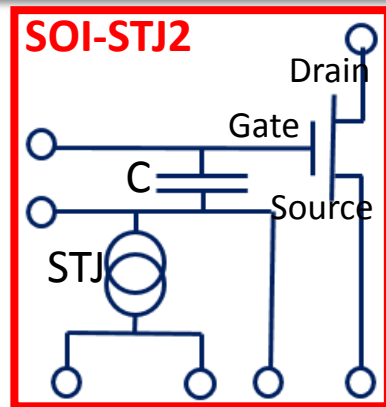
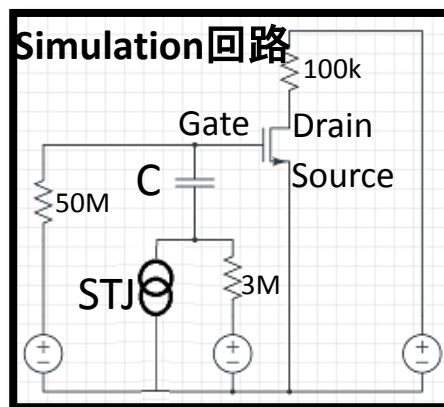
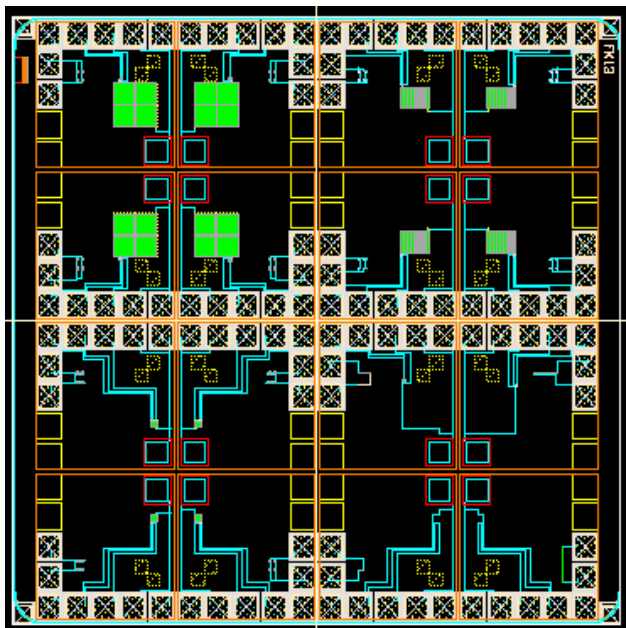
# SOI-STJ2

## 現在のSOI-STJのdesignの問題点

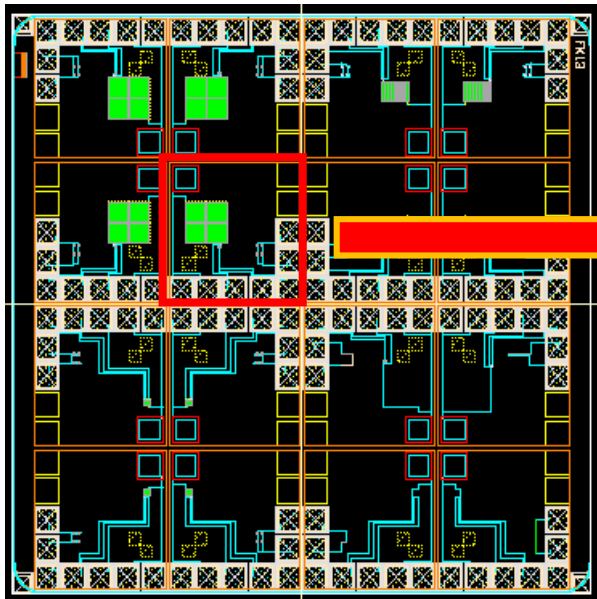
- ❑ STJのBias電圧及び、Gate電圧の調節が難しい。
- ❑ Gate Capacitance が非常に大きいFETを使用しているため、STJの生成電荷数に対するGate電圧変化が十分に得られない。

Gal = 10 とした時の10um1photonに対して予想される電流変化75pA( $4.7 \times 10^2 e$ )に対してのDrain電流のシミュレーション結果

## SOI-STJ2 Layout

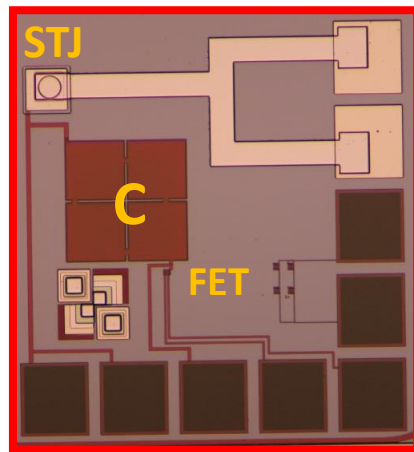


# SOI-STJ2研究開発の現状



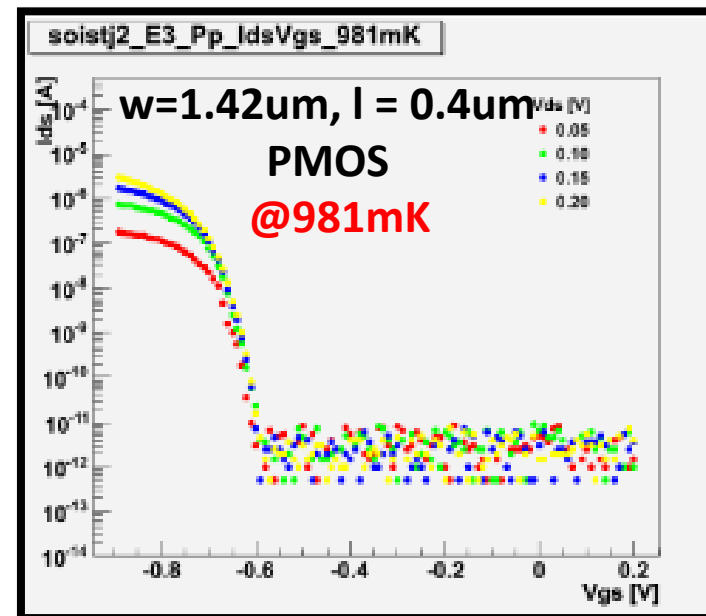
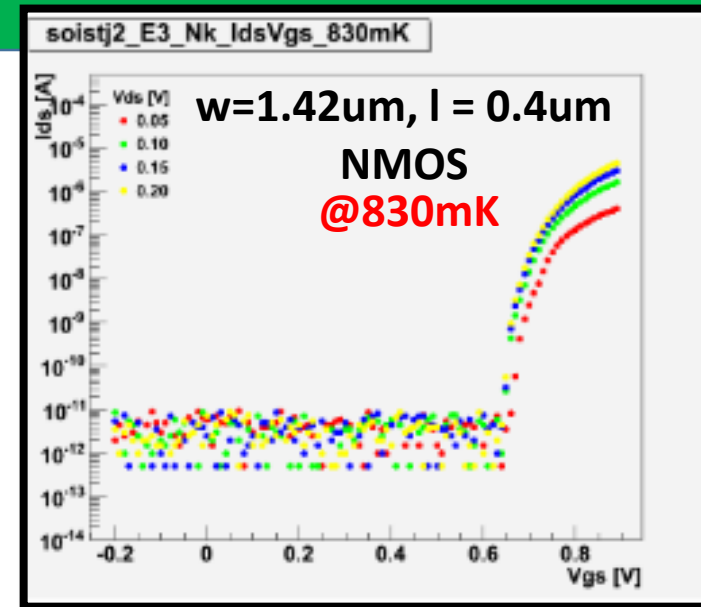
SOISTJ2(STJ形成後)

700um



640um

- SOIwafer上のFETがW/Lが変わってもNb/Al-STJ動作領域(1K以下)で正常に動作する事を確認。
- STJ形成作業が終了。今後はこれを用いて光応答測定を行い、遠赤外1光子の観測を目指す。



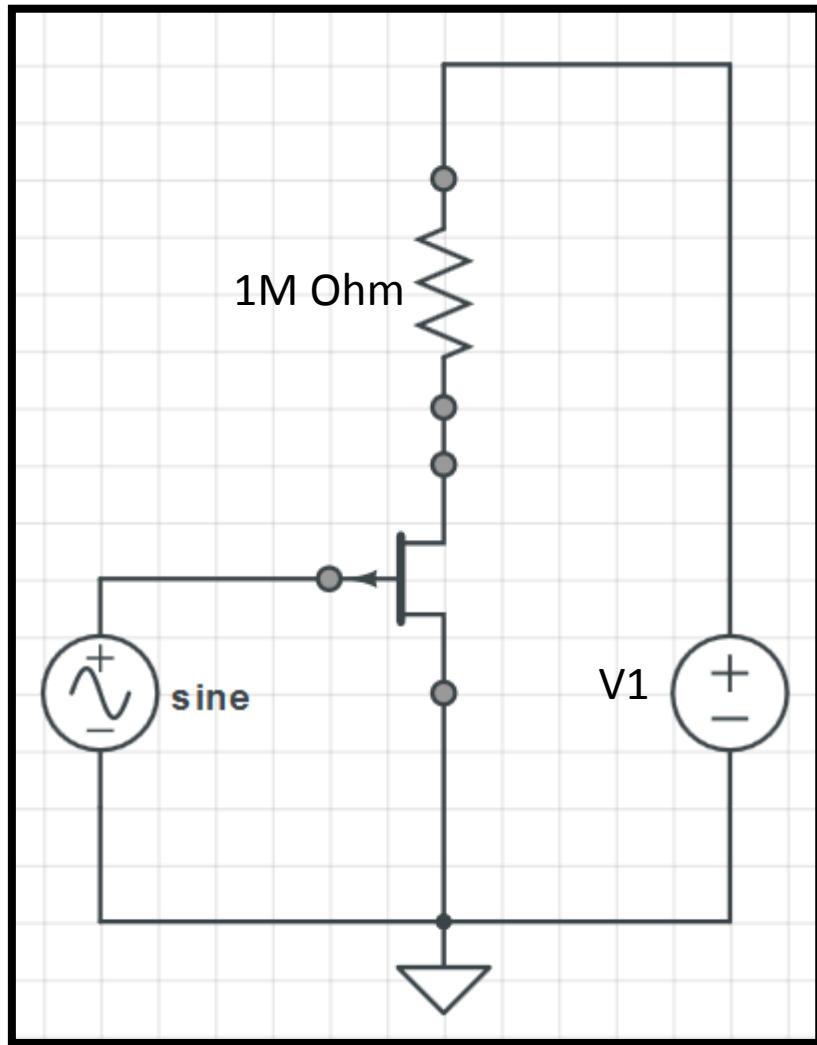
# まとめ

- ロケット実験では遠赤外光1光子の検出可能な検出器が要求される。
- Nb/Al-STJを導入したがまだ観測に至っておらず、低温での動作可能なSOIアンプを導入。
- SOIによる読み出し回路及び光検出器であるNb/Al-STJによるSOI-STJ一体型検出器の作成及び性能評価を行い、Nb/Al-STJとSOIFETがそれぞれSTJ温度動作領域で正常に動作する事を確認した。
- 今後はSOI-STJ検出器を用いて1光子検出を目指す。

# Back Up

# 増幅器としてのSOIFET @ 1.32K

I-Vは先崎君から



SOIFET増幅回路

測定したFETは3種類

- Soistj2\_E3\_Na (nmos pattern a)  
 $V_{ds} = 0.2V$ ,  $V_1 = 0.59V$   
線形領域は $0.8V \sim 0.9V$   
 $G_m = 0.00126$  (GAIN = 1260)
- Soistj2\_E3\_Nk (nmos pattern k)  
 $V_{ds} = 0.2V$ ,  $V_1 = 0.5V$   
線形領域は $0.8V \sim 0.9V$   
 $G_m = 3.89E-5$  (GAIN = 38.9)
- Soistj2\_E3\_Pp (pmos pattern p)  
 $V_{ds} = -0.2V$ ,  $V_1 = -0.58V$   
線形領域は $-0.9V \sim -0.78V$   
 $G_m = 1.73E-5$  (GAIN = 17.3)

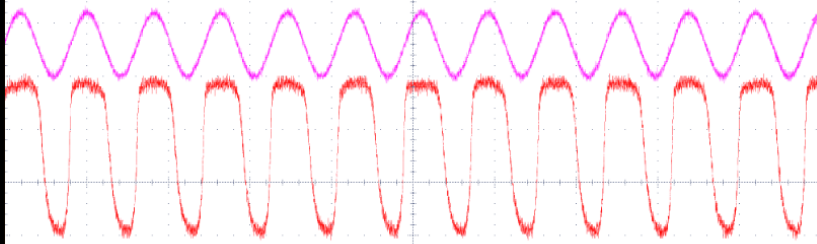
入力信号は線形領域に合わせた位置で

$V_{pp} = 100mV$ のサイン波で周波数応答を測定



# 増幅器としてのSOIFET @ 1.32K

Soistj2\_E3\_Na (設定GAIN = 1260)

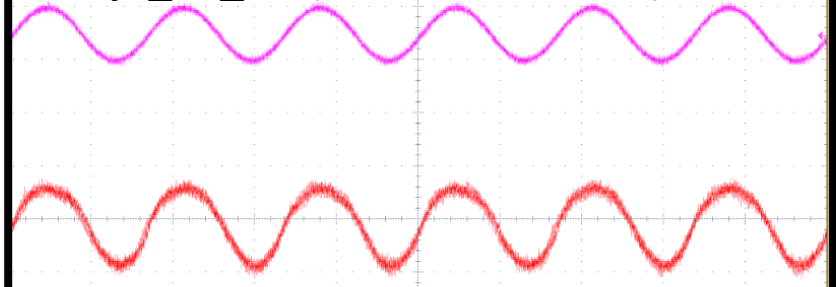


測定結果GAIN : 約3倍

Input : 100mV/Div Output : 100mV/DIV

100mV 100mV 20.0ms 50.0kS/s 10k points 708mV

Soistj2\_E3\_Nk (設定GAIN = 38.9)

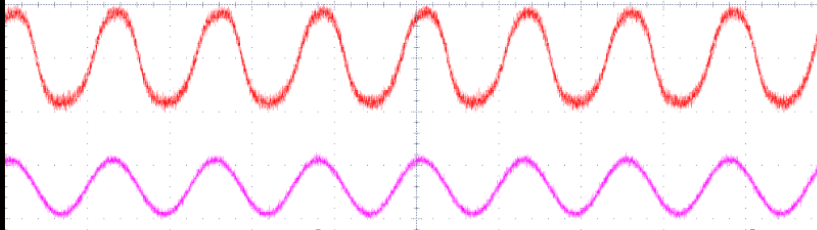


測定結果GAIN : 約1.5倍

Input : 100mV/Div Output : 100mV/DIV

100mV 100mV 20.0ms 50.0kS/s 10k points 720mV

Soistj2\_E3\_Pp (設定GAIN = 17.3)



測定結果GAIN : 約2倍

Input : 100mV/Div Output : 100mV/DIV

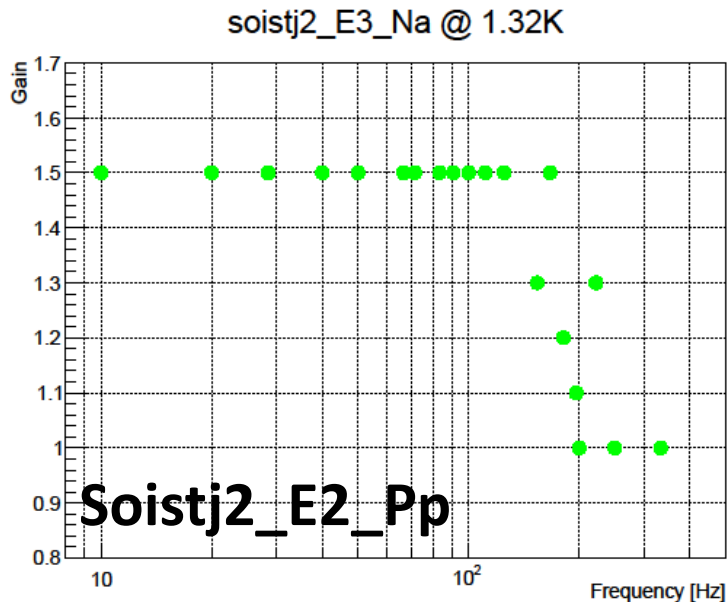
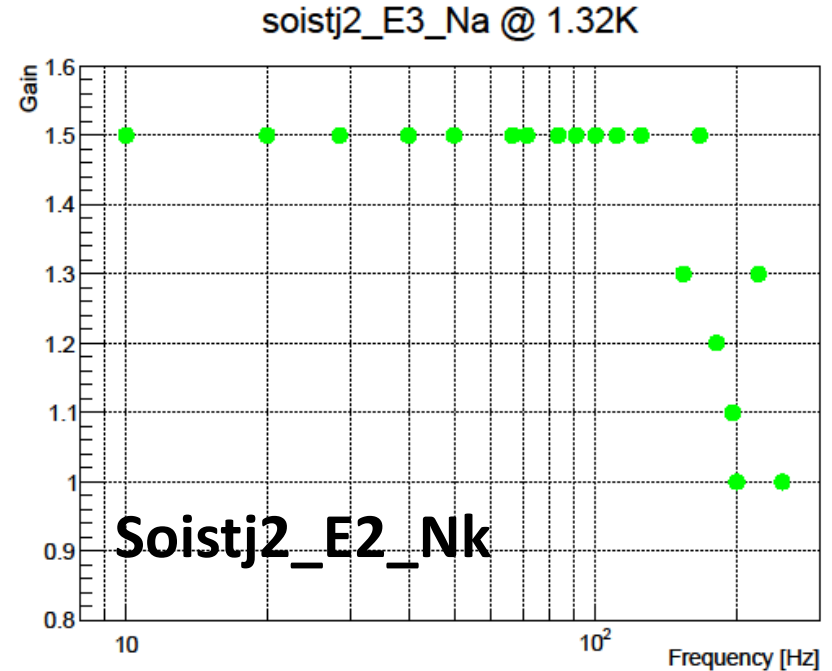
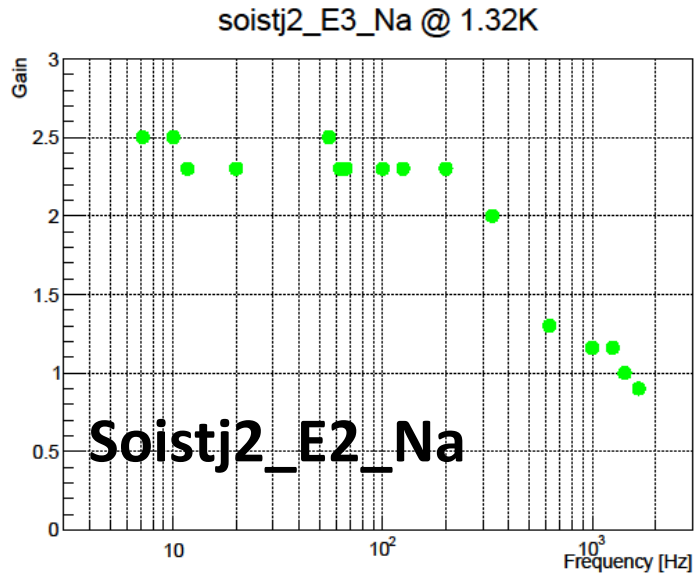
100mV 100mV 20.0ms 50.0kS/s 10k points 690mV

どれも設定したGAINが得られなかった。  
よく考えたらV1=0.59Vに設定していたため、それ以上の電圧変化が得られるわけがない。

→ Input小さくしてまたやりますすいません。

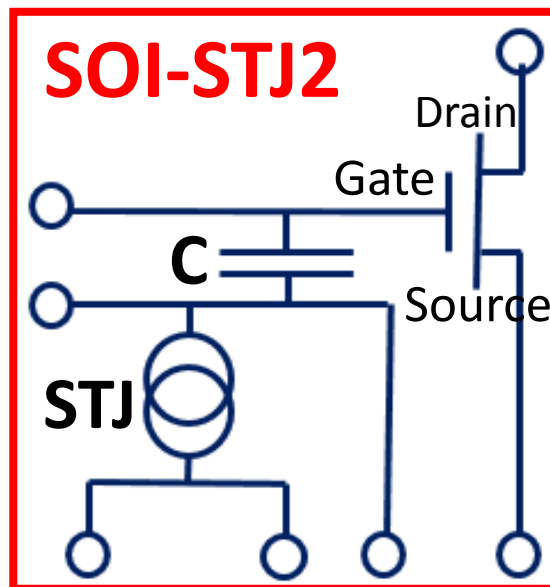
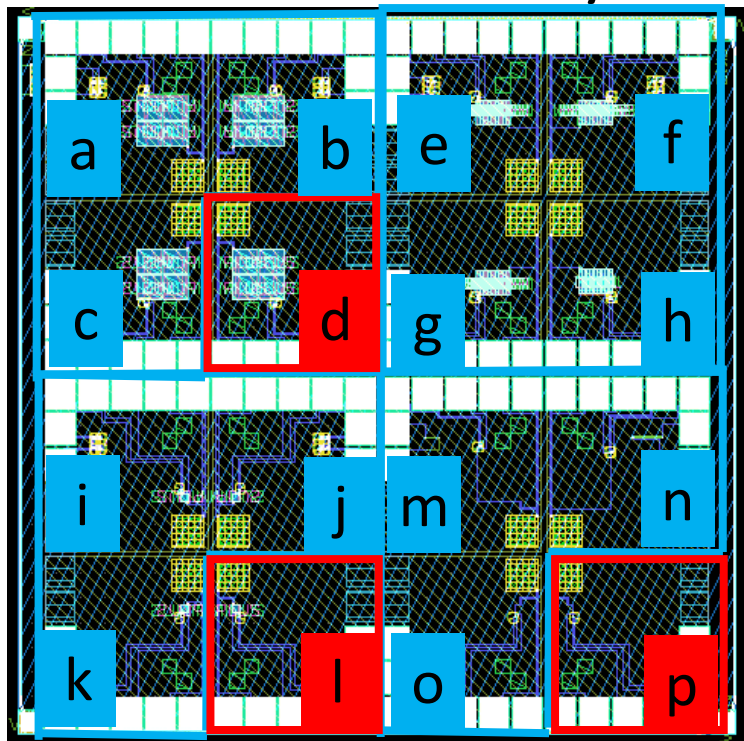
とりあえず、低温での増幅は確認できたので、応答速度を調べました！

# 増幅器としてのSOIFET @ 1.32K



1ピクセルにつき一つSOIFETで  
200Hzに対応できるかもだけど  
一番小さいNkとかPpのFETだと  
周波数応答が悪すぎて実験に  
は使えないかもしれない。

# SOI-STJ2 Layout



現在あるフォトマスクで  
作成可能なSTJ

- 100um x 100um
- 50um x 50um
- 10um x 50um
- 2um x 50um
- 100um<sup>2</sup>(丸型)
- 1200um<sup>2</sup>(丸型)
- 10um x 10um x 2 (under layer 共通にして上部にSIS構造を2つ)

青 : NMOS 赤 : PMOS

小文字アルファベットはchip上のcell名

CapacitanceやFETの大きさはcellによる。

CELL名	Capacitance	FETの大きさ	C <sub>gate</sub>
a, b, c, d	60 pF	w = 4 x 10um, l = 1 um	320 fF
e, f, g, h	18 pF	w = 4 x 1um, l = 1um	32fF
i, j, k, l	1.5	w = 1.42 um , l = 0.4um	4.5fF
m, n, o, p	なし	w = 1.42 um , l = 0.4um	4.5fF

FETは全てsource tie type

# Nb/Al-STJ Leak currentへの要求

現在のNb/Al-STJの0.5mVでのleak currentは1K以下で10nA。

STJからの信号は1.5uS程度と予想されるので、leakcurrentにおける発生電荷数は

$$\begin{aligned} N_{leak} &= 10 \times 10^{-9} \times 1.5 \times 10^{-6} [C] \\ &= 10000e \\ \delta N_{leak} &= 100e \end{aligned}$$

これでは遠赤外光1photonに対しての発生電荷数として期待される100eは見えないため、leak Currentは現在以上に低減させなければならない。

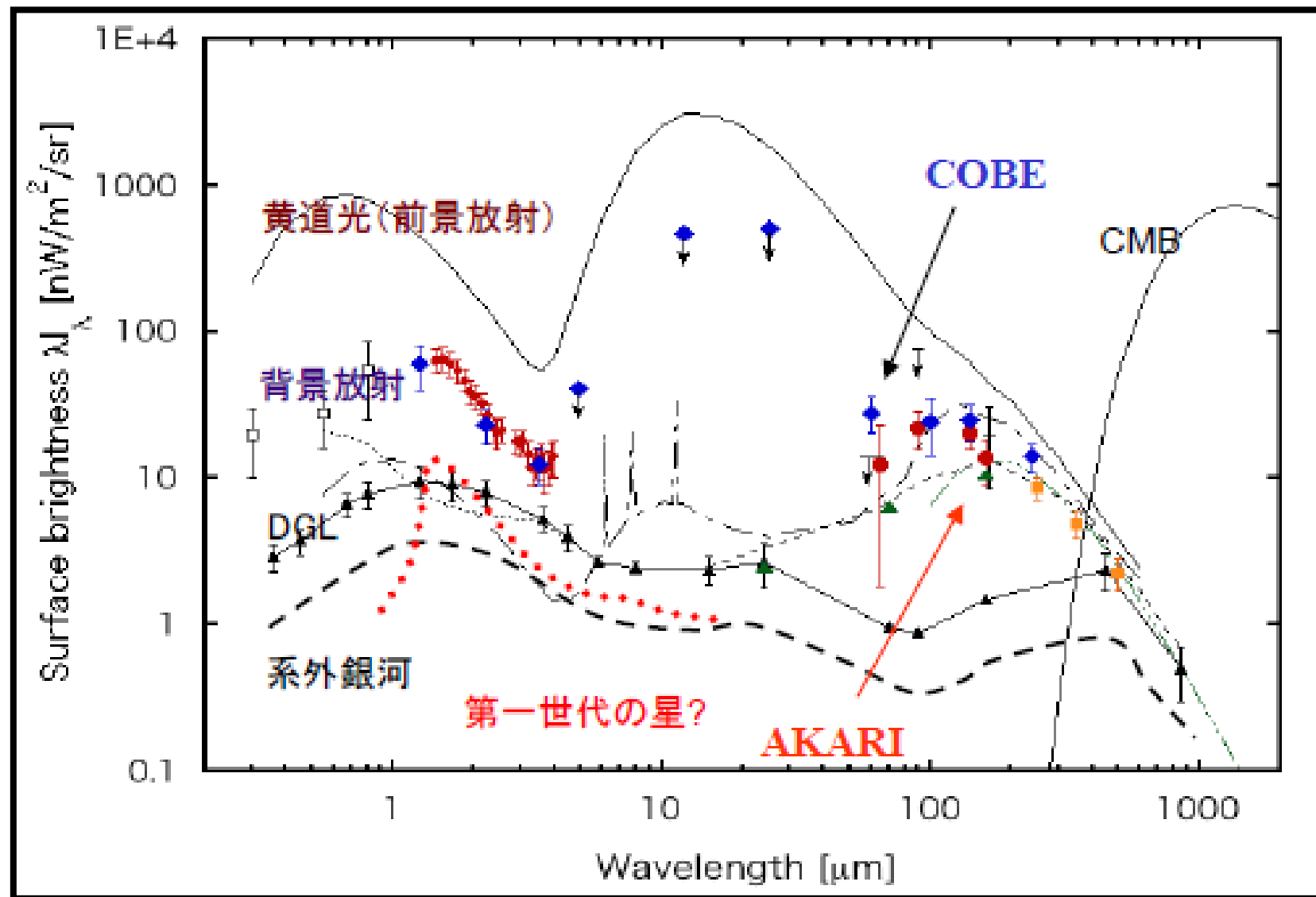
遠赤外光の信号がleakcurrentによる発生電荷数のゆらぎより3倍大きく観測されるためには、

$$\begin{aligned} \delta N_{leak} &= 33e \\ N_{leak} &= 1089e \\ I_{leak} &= \frac{1089 \times 1.6 \times 10^{-19}}{1.5 \times 10^{-6}} = 108[pA] \end{aligned}$$

STJのleakcurrentとしては108pA以下が要求される。

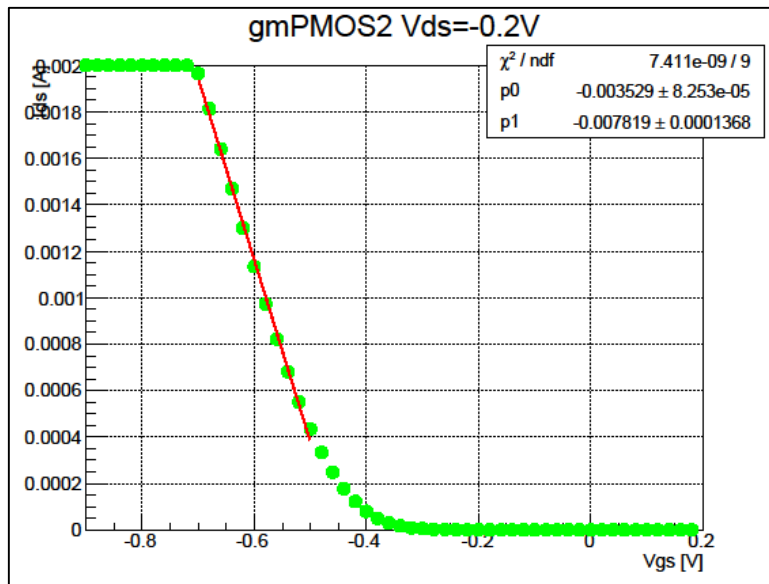
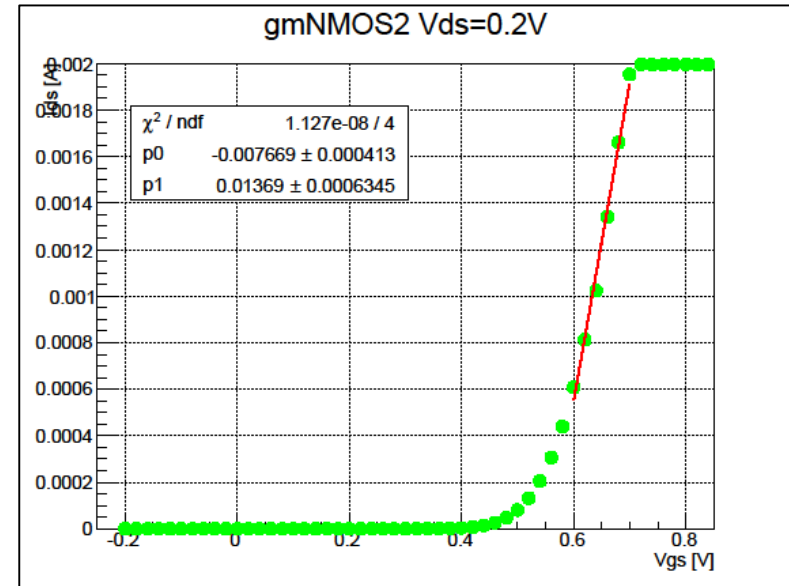
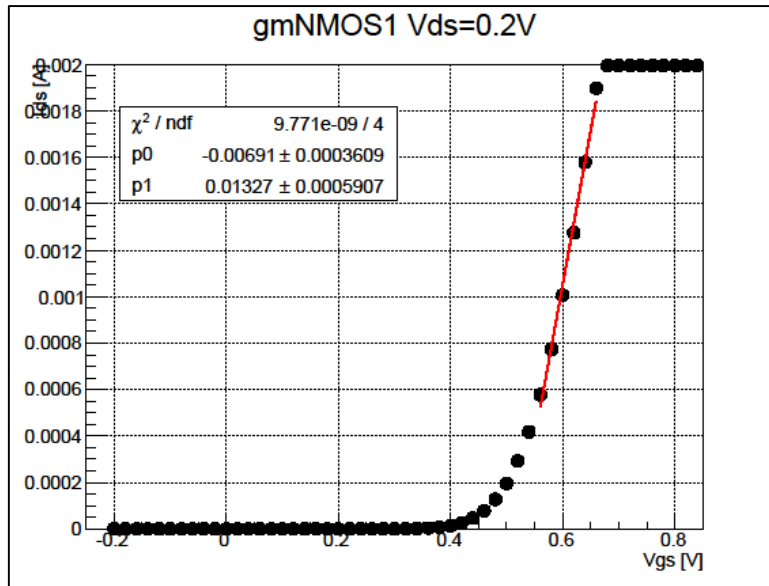
STJのleakcurrentはほとんど側面からのものとすれば、STJを現在の100umx100umより100倍小さくすれば良い。

# Background





# 相互コンダクタンス



gm(Vds=0.2Vのとき)

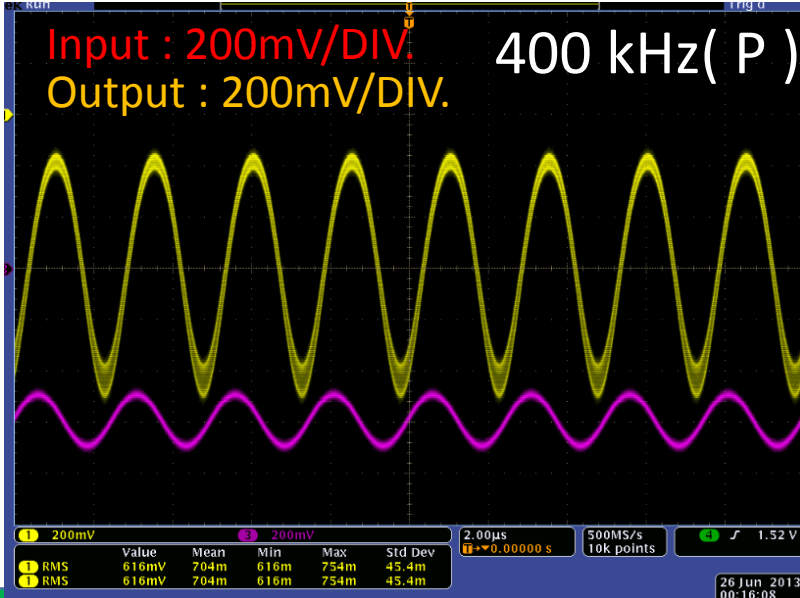
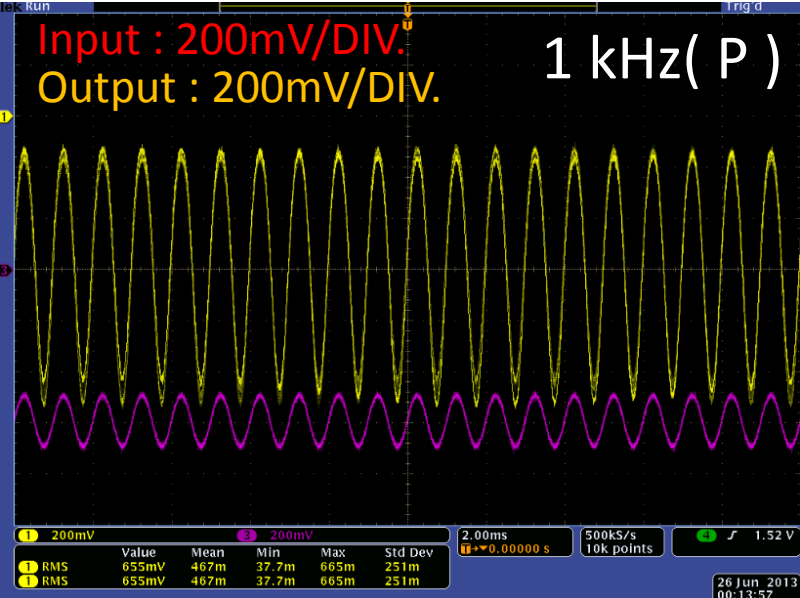
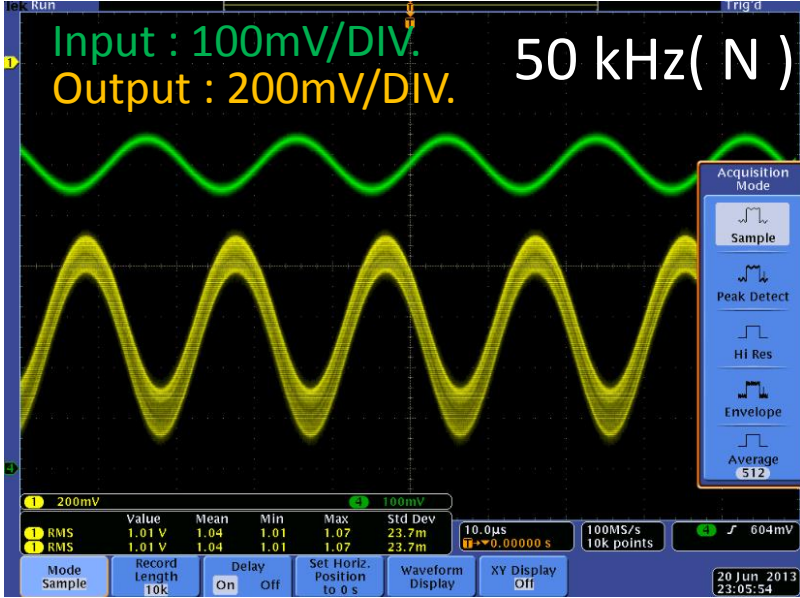
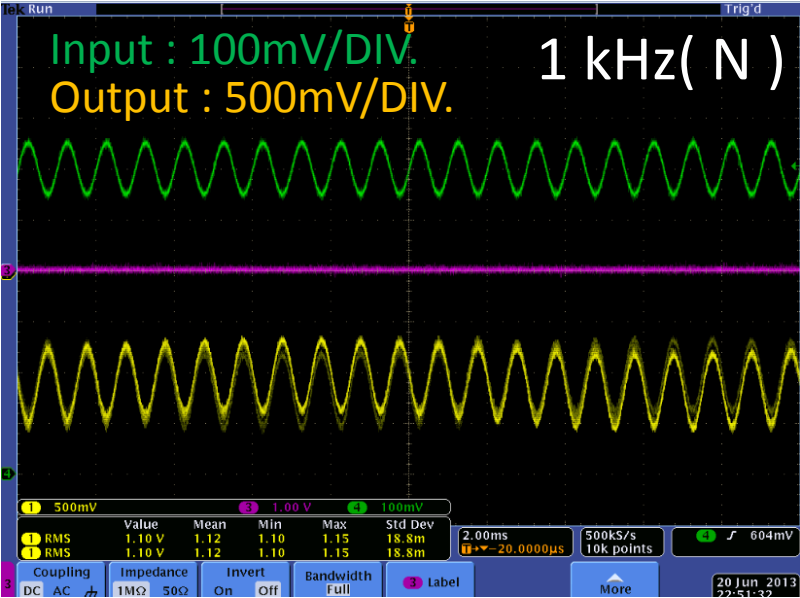
Nmos1 : **0.01327**(0.56~0.64Vgs)

Nmos2 : **0.01369**(0.6~0.7Vgs)

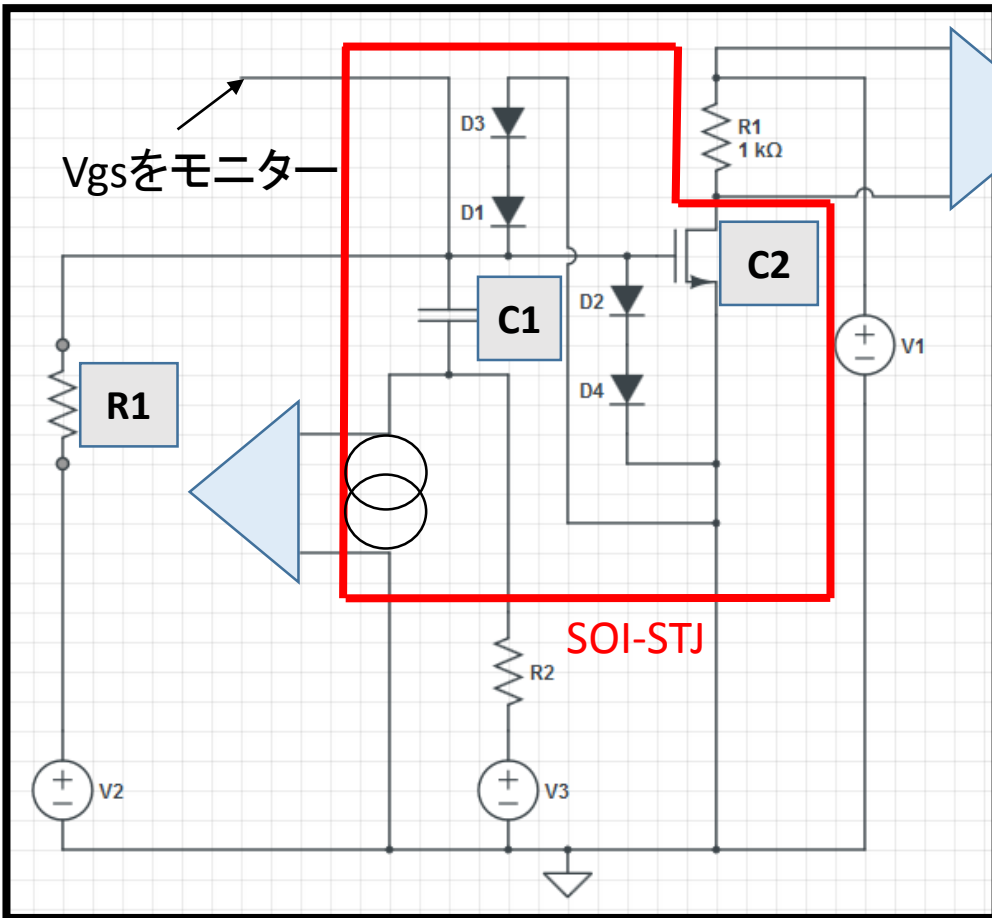
gm(Vds=-0.2Vのとき)

Pmos : **-0.007819**(-0.7~-0.5Vgs)

# FETを増幅器として使用



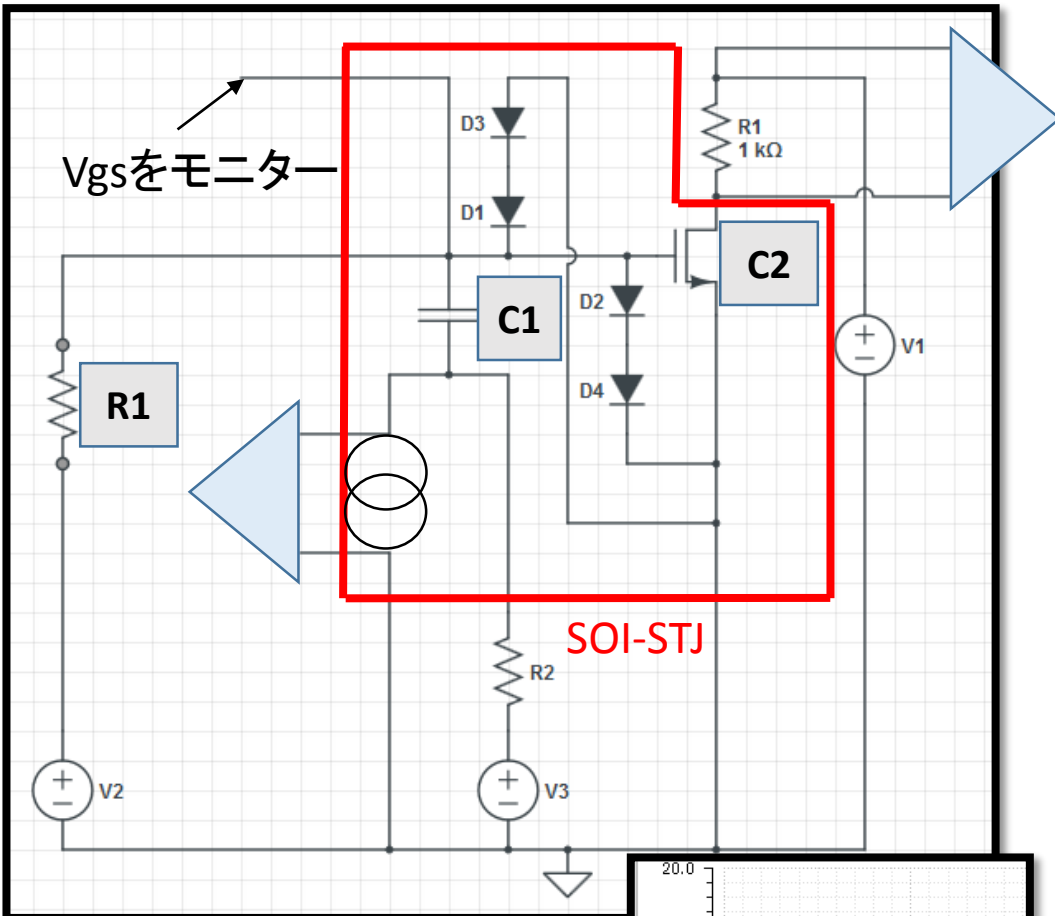
# 回路設計



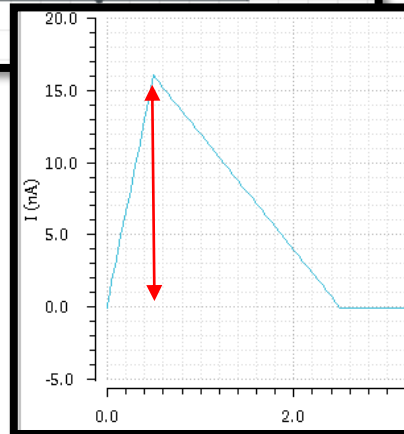
- C1は出来るだけ大きいほうが良いが  
大きすぎると応答速度遅くなる。  
今chip上で余っている面積から最大  
100pFくらいまで。最低は1fFくらい。
- C2(Gateキャパシタンス)は小さければ  
小さいほど $V_{gs}$ 変化は大きくなる。  
LAPISが作ってくれるのは最低3.2fF  
まで。
- R1はC2が小さくなればなるだけ大き  
くする必要があるが大きすぎると速  
度遅くなる。

STJの発生電荷に応じて適切な  
C1,C2,R1は異なる。

# 470nm 1photon用

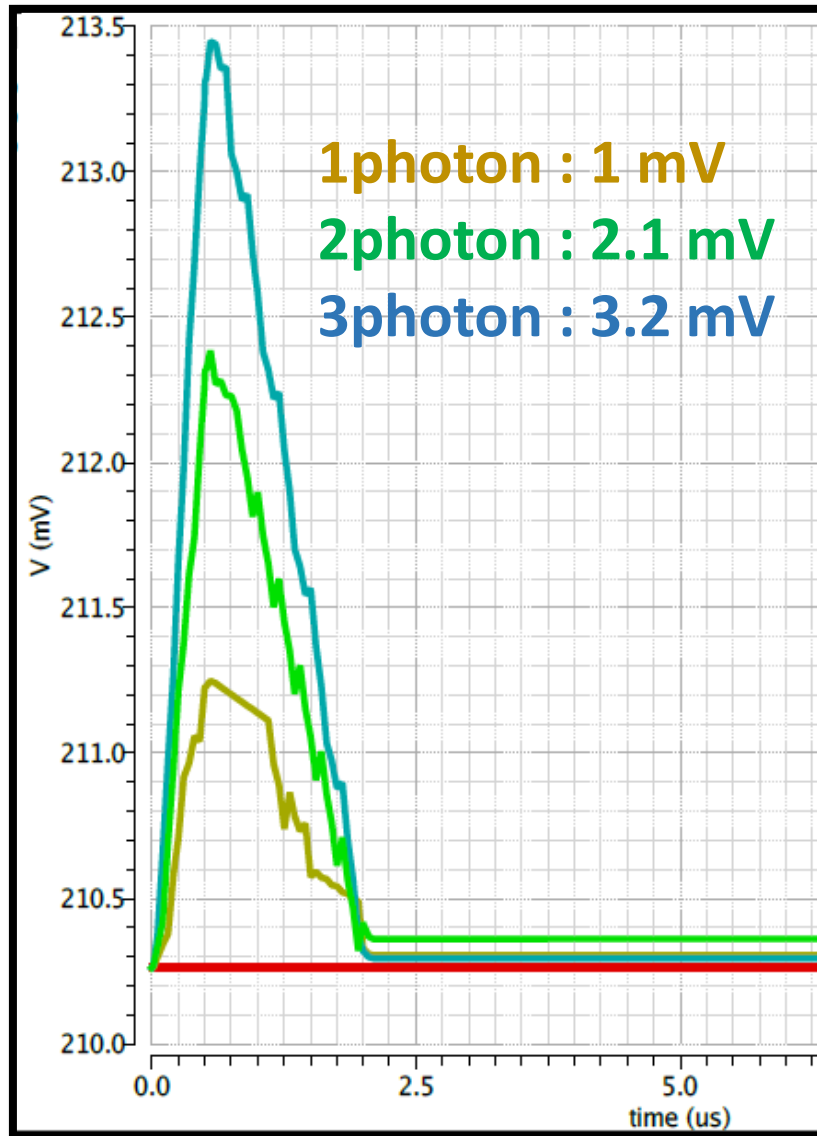


- 観測できる電荷量をは $10^4 e$  ( $G_{al}=10$ )  
～ $6 \times 10^5 e$  ( $G_{al}=200$ のときの3photon)  
程度と設定。
- STJの電圧降下は最大でも2mVまで  
なので2mVの電圧変化で最高 $6 \times 10^5 e$   
放出できるようにC1は48pFに設定。
- 上の生成電荷数に対して最低でも  
1mV弱のOutputが得られるように  
GateCは800fF ( $W=10 \times 10 \text{ um}$ ,  $L=1 \text{ um}$ )  
に設定。
- R1はGateキャパシタンスのインピー  
ダンスよりも非常に高い500kOhm。
- STJの信号を左図右下のような電流  
変化としてシミュレーションを実行。  
発生電荷数によって $\Delta I$ を変化させて  
いった。立ち上がり0.5uS。立下り  
1.5uS。

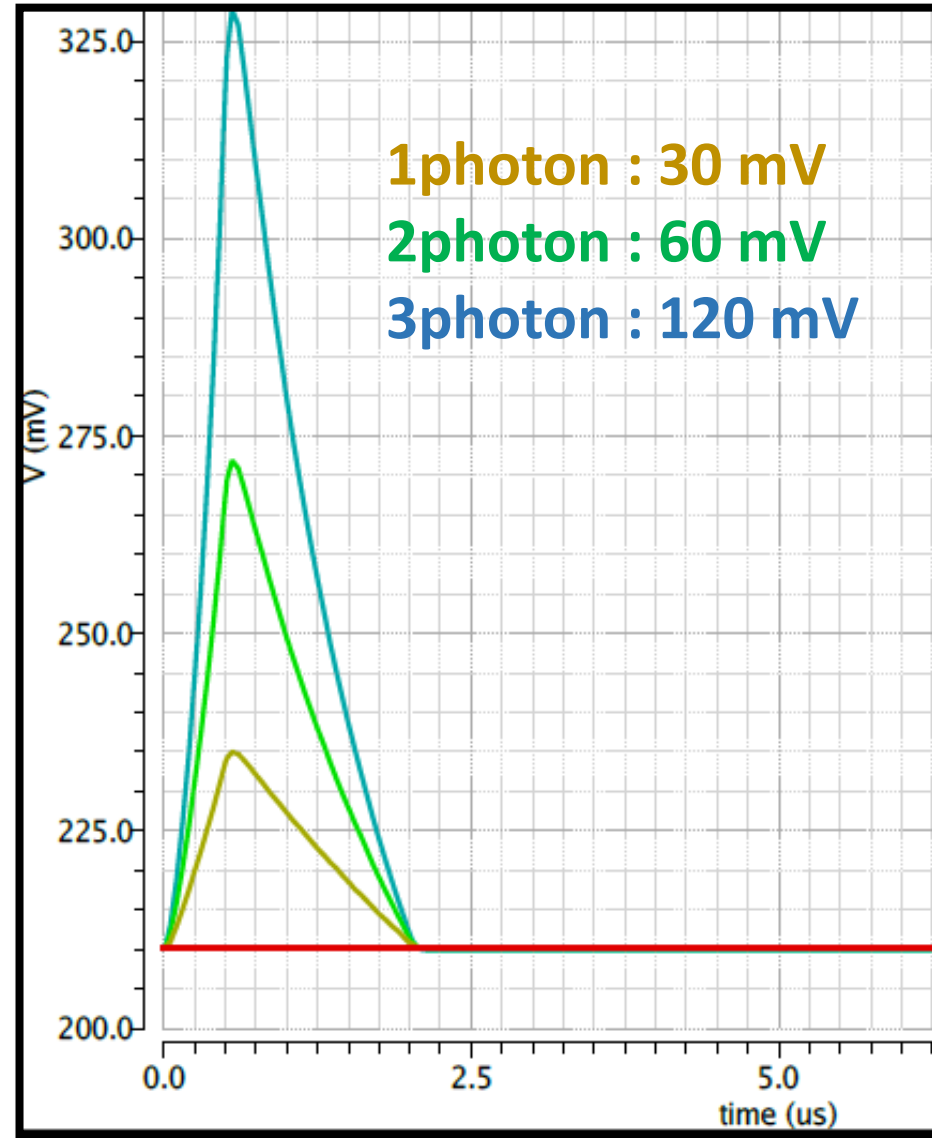


# 470nm 1photon用

Gal = 10 とした時の電流変化  
1.6nA( $10^4$ e)に対してのD電流

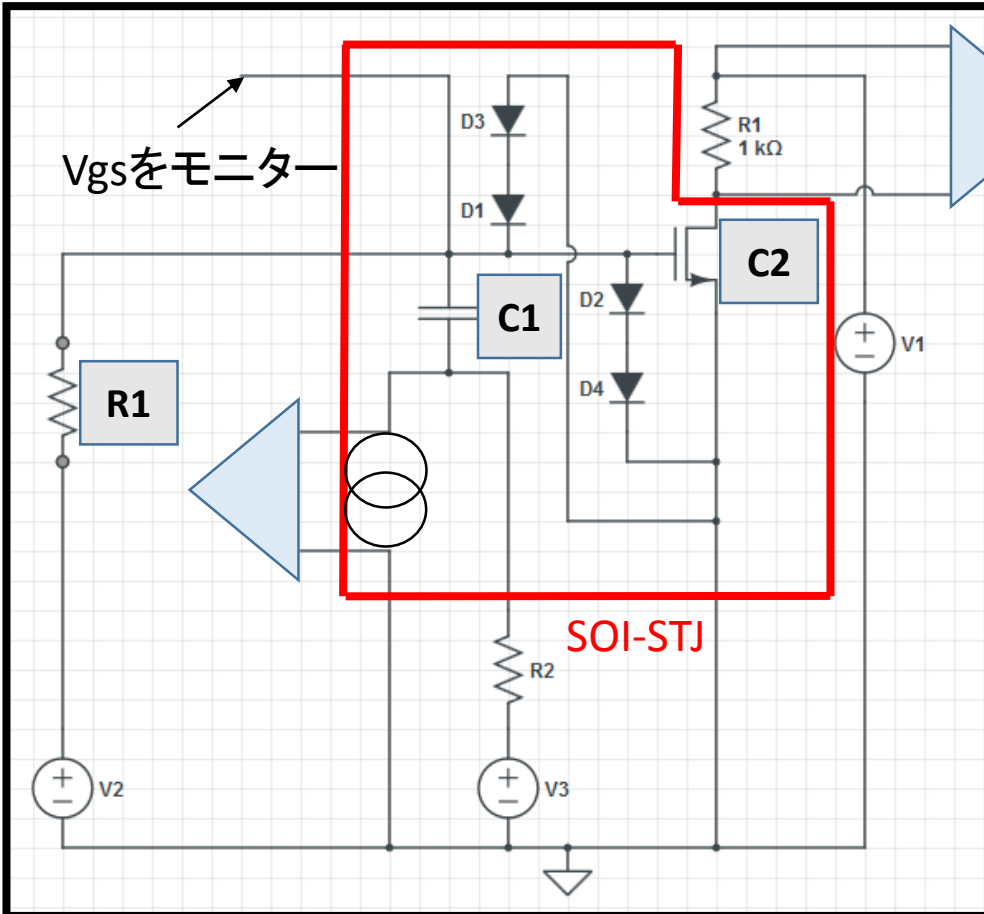


Gal = 200 とした時の電流変化  
32nA( $2 \times 10^5$ e)に対してのD電流





For 1310nm 1photon用

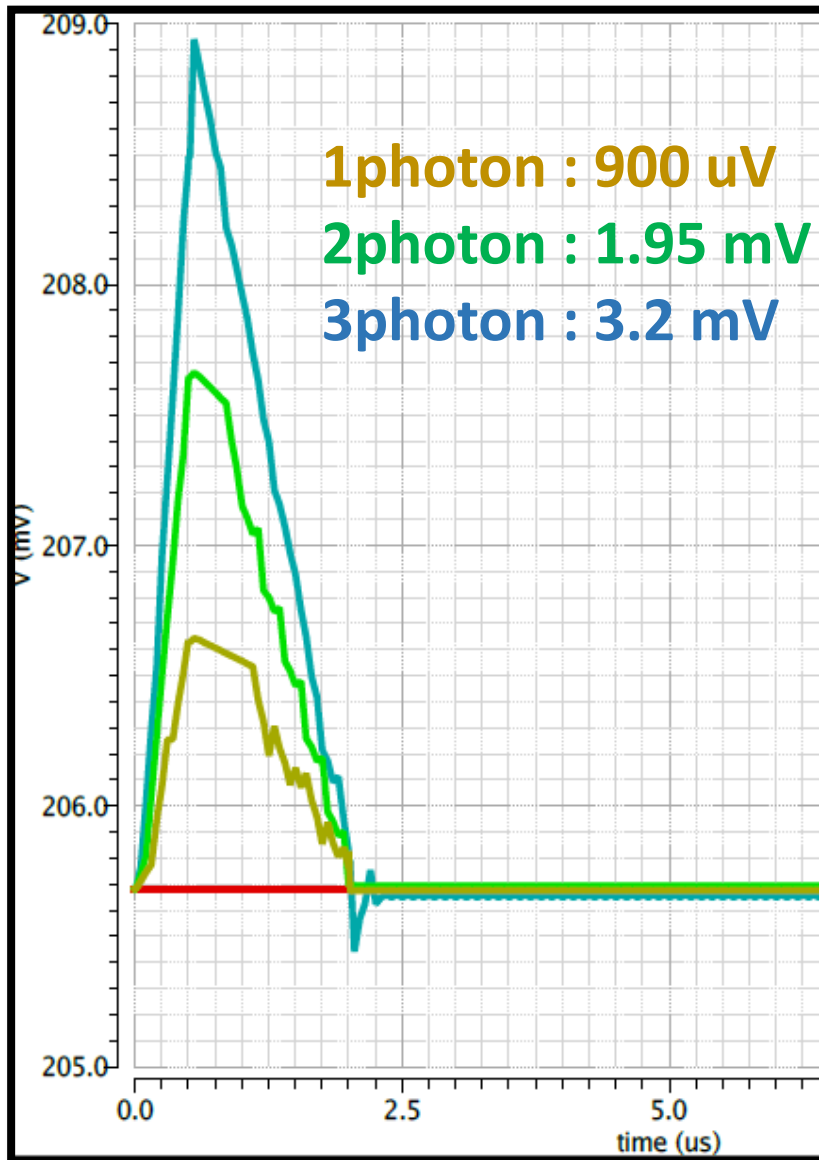


- 観測できる電荷量は  
 $3.6 \times 10^3 e$  (Gal=10) ~  
 $21.6 \times 10^4 e$  (Gal=200で3photon)程度と  
 設定。
- STJの電圧降下は最大でも2mVまで  
 なので2mVの電圧変化で $21.6 \times 10^4 e$   
 放出可能なC1は  

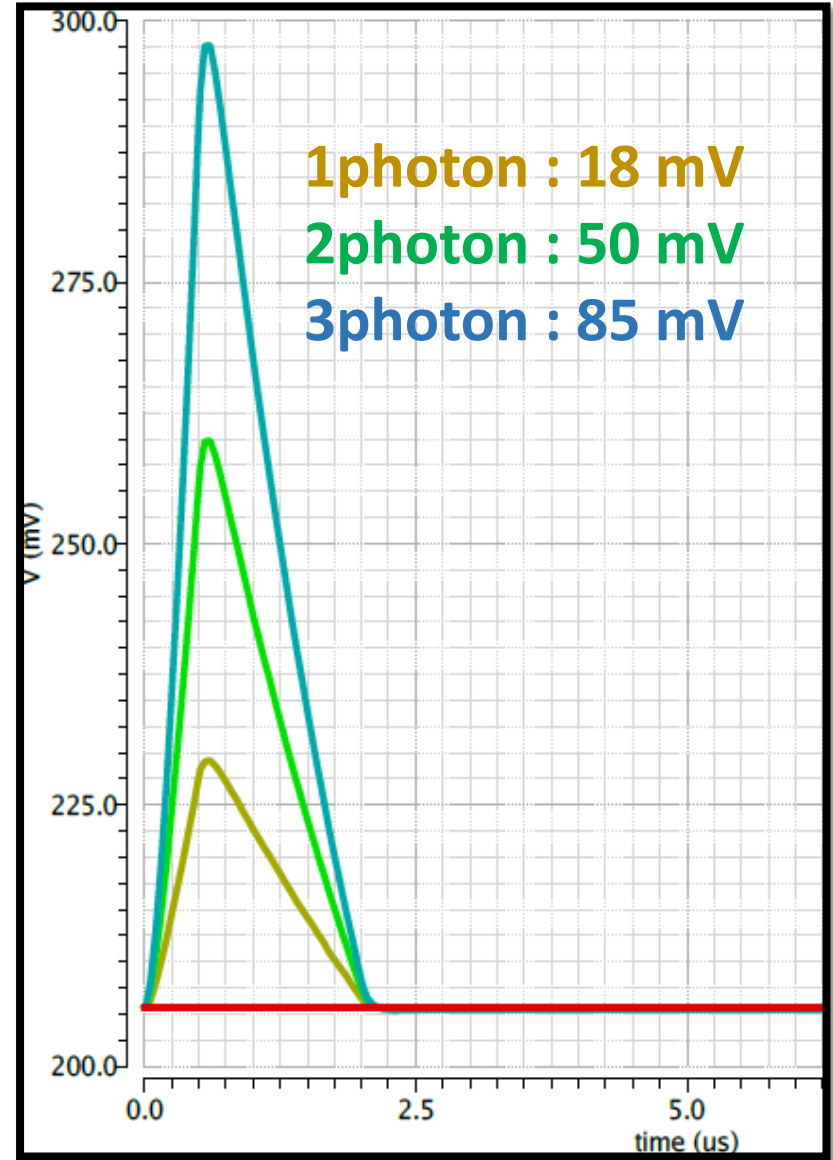
$$C = \frac{\Delta Q}{\Delta V} = \frac{21.6 \times 10^4 e}{2 \times 10^{-3}} \approx 18 pF$$
- 上の生成電荷数に対して最低でも  
 1mV弱のOutputが得られるように  
 GateCは40fF (W=1 x 5 um, L=1um)に  
 設定。
- R1はGateキャパシタンスのインピー  
 ダンスよりも非常に高くRC=10uSとな  
 る5MOhm。

# For 1310nm 1photon用

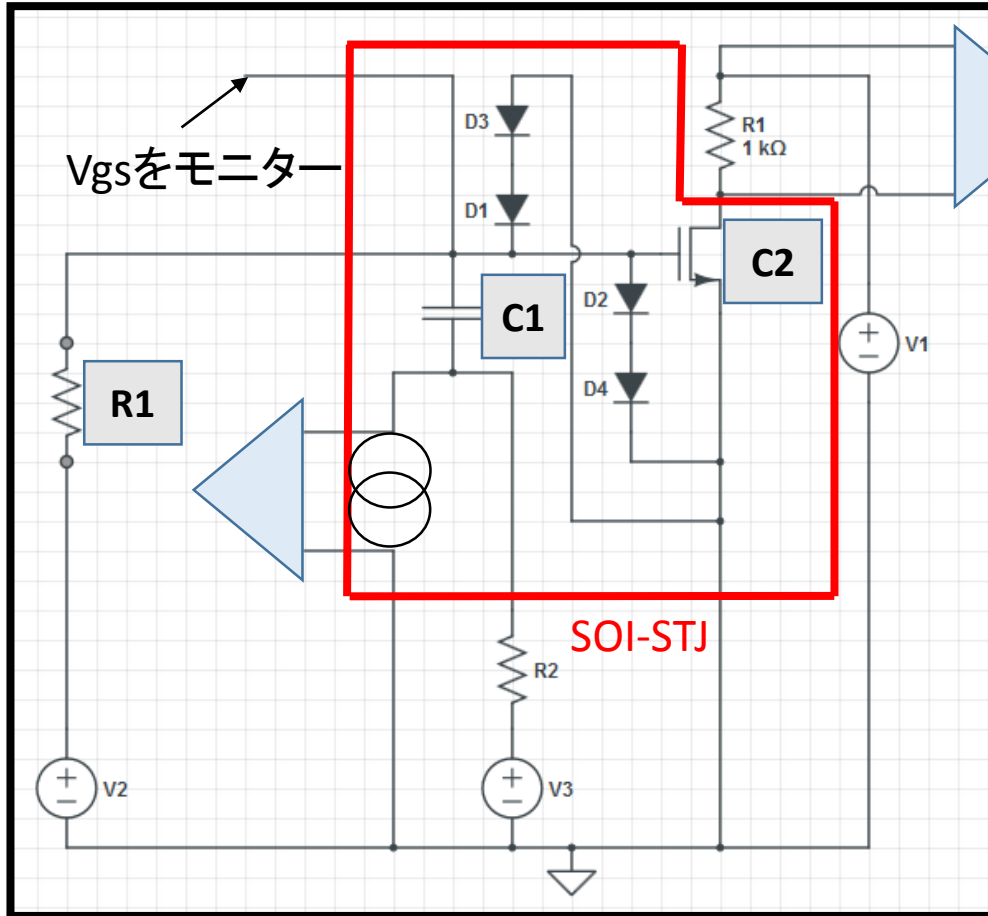
Gal = 10 とした時の電流変化  
580pA( $3.6 \times 10^3 e$ )に対してのDrain電流



Gal = 200 とした時の電流変化  
36nA( $21.6 \times 10^4 e$ )に対してのDrain電流



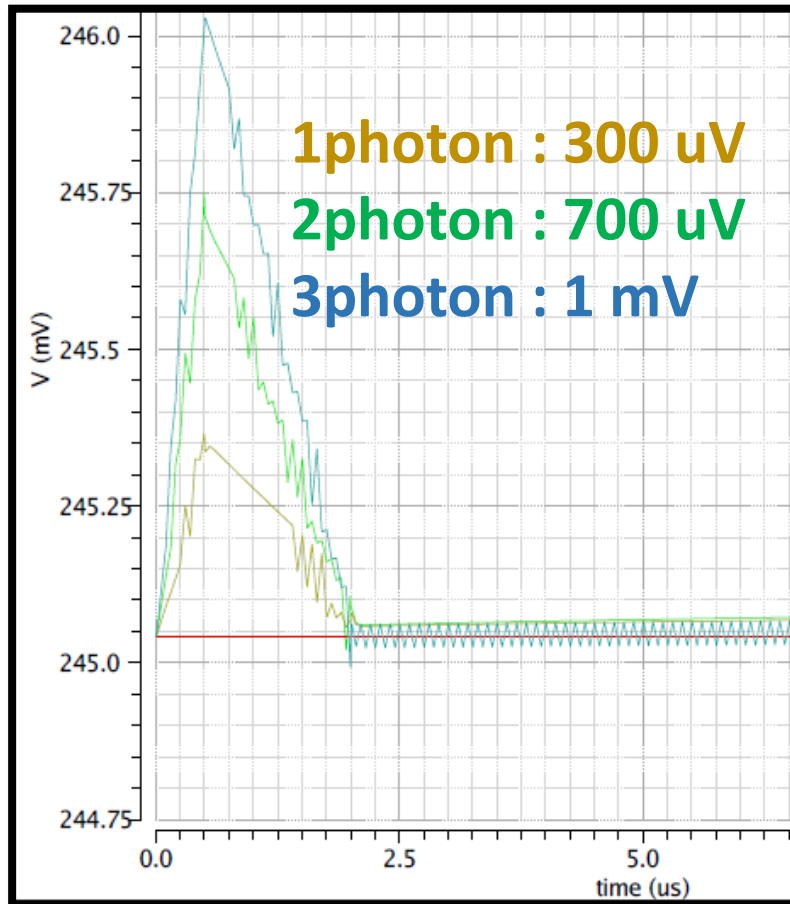
# For 10um 1photon用



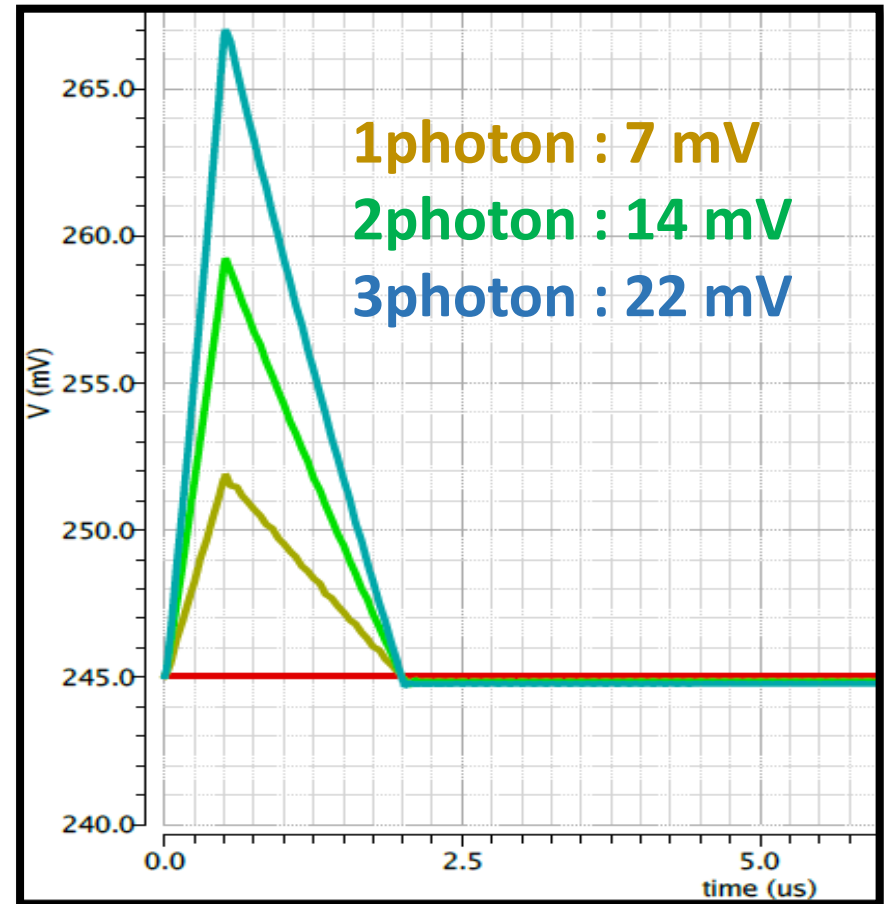
- このパターンで観測できる電荷量は  $4.7 \times 10^2 e$  ( $G_{al}=10$ ) ~  $28.2 \times 10^3 e$  ( $G_{al}=200$ で3photon)程度と設定。
- 最大電荷量  $28.2 \times 10^3 e$  でSTJが2mVの電圧変化を起こすように設定。
$$C1 = \frac{\Delta Q}{\Delta V} = \frac{28.2 \times 10^3 e}{2 \times 10^{-3}} \approx 1.4 pF$$
- 上の生成電荷数に対して最低でも1mV弱のOutputが得られるようにGateCは3.2fF ( $W=1 \text{ um}$ ,  $L=0.4 \text{ um}$ )に設定。
- R1はGateキャパシタンスのインピーダンスよりも非常に高く  $RC=70 \mu s$  となる50M $\Omega$ 。

# For 10um 1photon用

Gal = 10 とした時の電流変化  
75pA( $4.7 \times 10^2 e$ )に対してのD電流

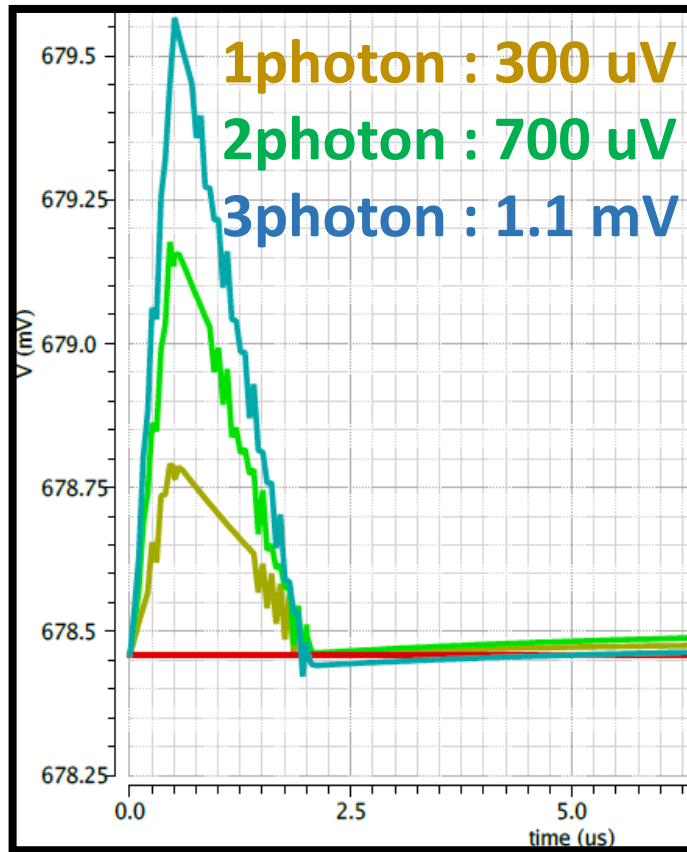


Gal = 200 とした時の電流変化  
4.5nA( $28.2 \times 10^3 e$ )に対してのD電流

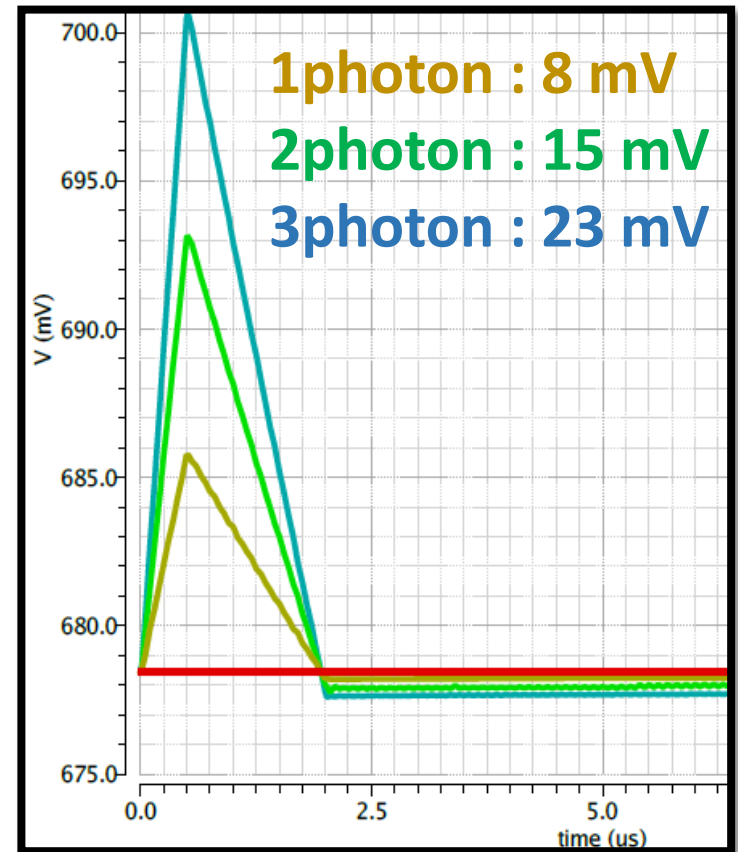


# For 50um 1photon用

Gal = 10 とした時の電流変化  
16pA( $10^2e$ )に対してのD電流



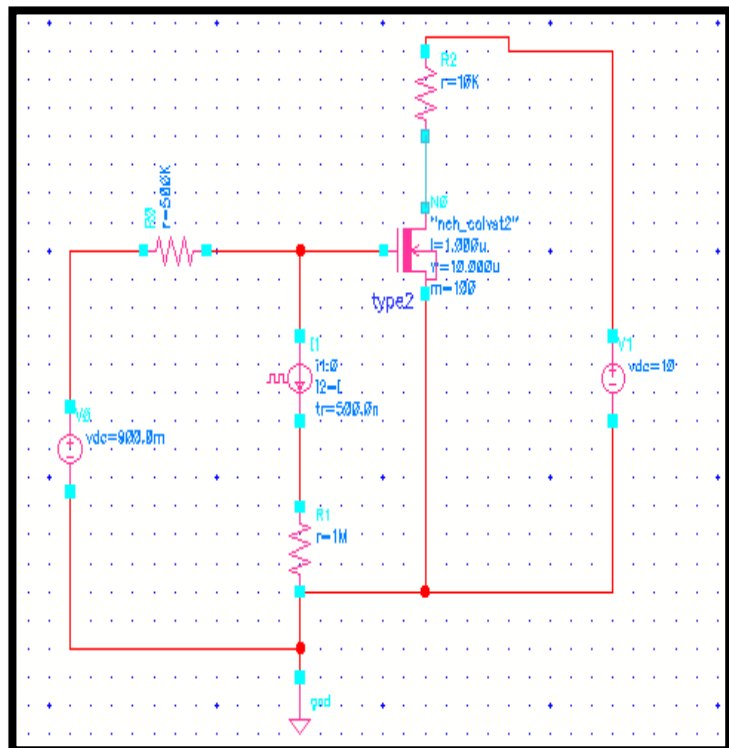
Gal = 200 とした時の電流変化  
960pA( $6 \times 10^3e$ )に対してのD電流



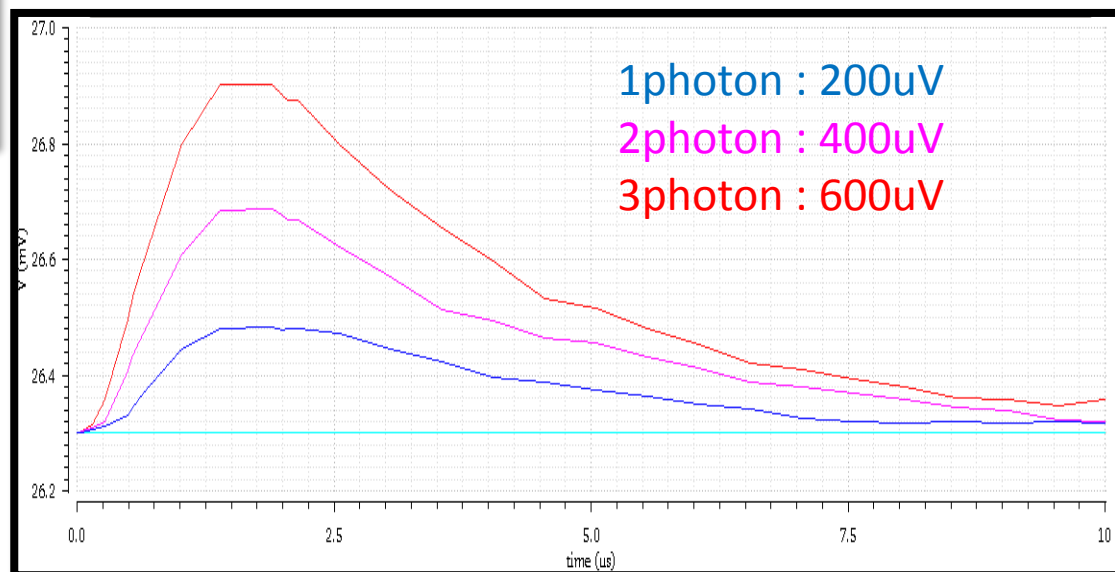
Vds電圧を3倍程度(678mV)まで上げれば1mVくらいの変化として50um1photonの信号も検出できる。LAPISが保障するVds電圧は常温では1.98Vまで。



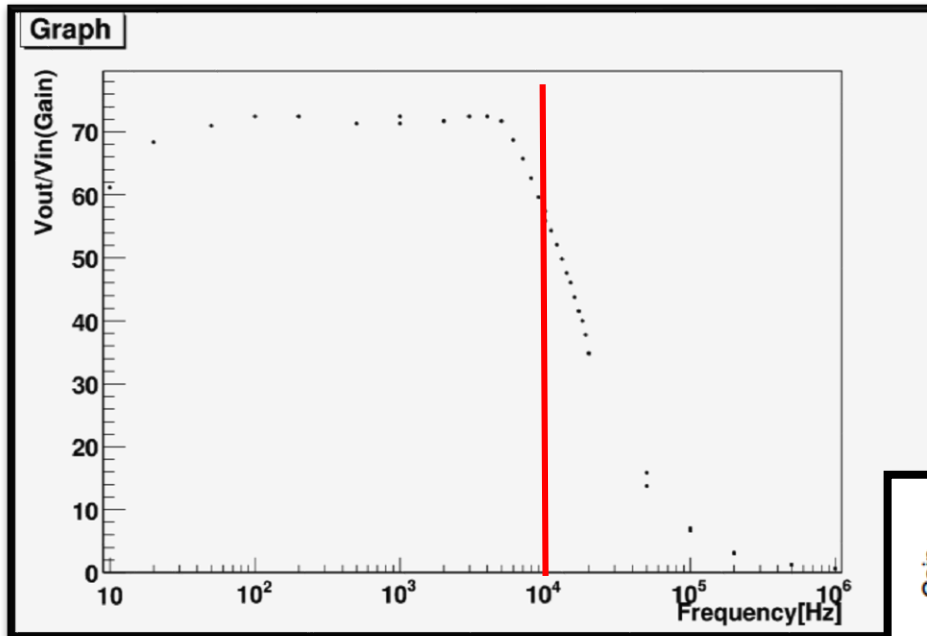
# SOI-STJ1光応答simulation



Gal = 100とした場合470nm1photonに対して  
以下の応答が期待できる。

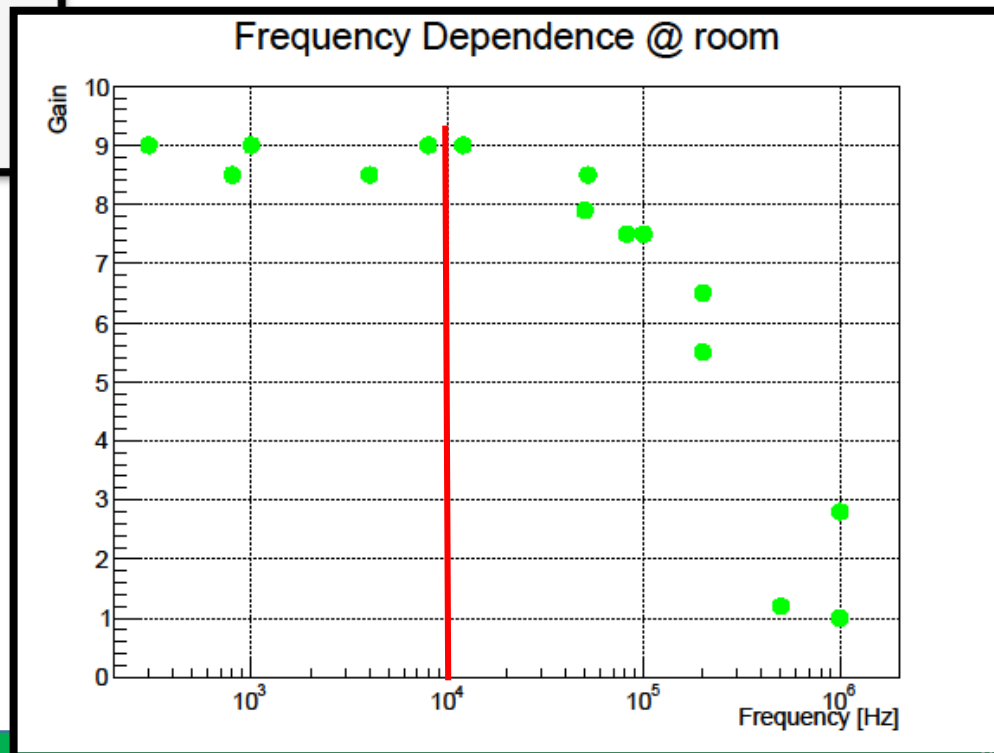


# FETの周波数応答



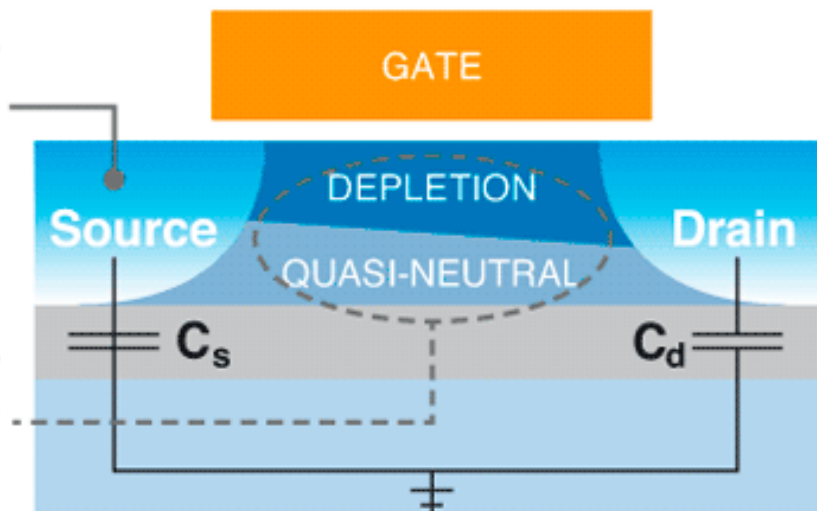
FD-SOI-CMOS

SOI-STJ



The top silicon layer is typically between 50 and 90 nm thick, depending on the design

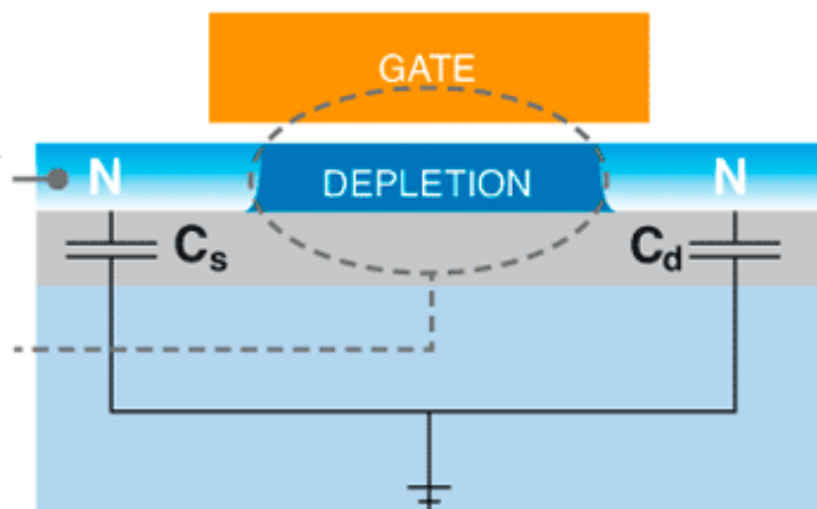
Silicon under the channel is partially depleted of mobile charge carriers. Avalanche ionization at the drain can lead to charges accumulating in the quasi-neutral region ("floating body effect")



Partially depleted SOI MOS transistor cross-section

The top silicon layer is between 5 and 20nm thick, typically  $\frac{1}{4}$  of the gate length

Silicon under the gate is so thin that it is fully depleted of mobile charges. There is no floating body effect.

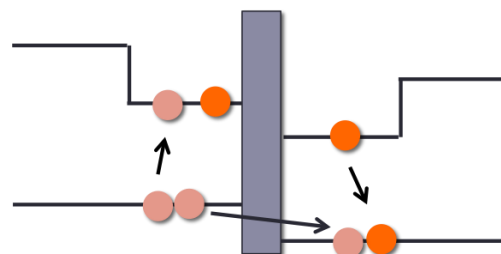
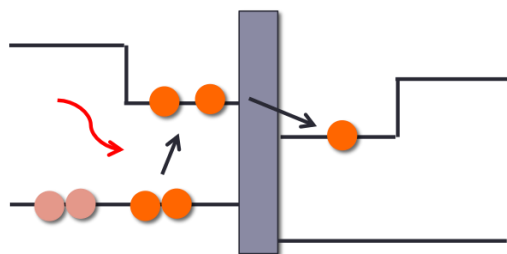


Fully depleted SOI MOS transistor cross-section

# Trapping GAIN

## STJ Back tunneling

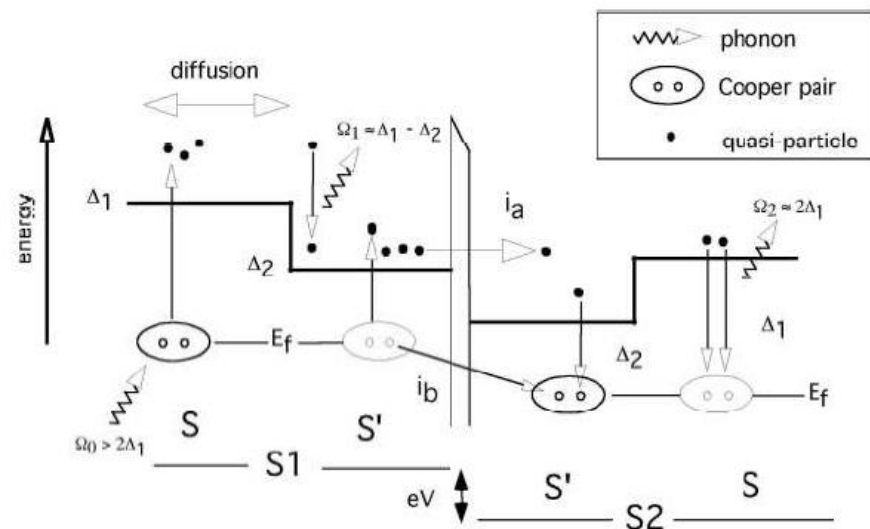
- トンネルバリアの近傍に生成された準粒子がトンネルバリアを通過すると、逆のレイヤーのクーパー対を壊して準粒子を得て、クーパー対を作る。



Alの転移温度は近接効果によってNbの転移温度に近づく。

トンネルバリア付近に準粒子の存在確立をあげるためにAlのトラップ層を形成。

トラップ層に準粒子が侵入する際に出すギャップエネルギーの差分のエネルギーを持つフォノンによってさらにトラップ層のクーパー対が破壊され準粒子が生成される。



# Energy Resolution

エネルギー分解能

$$\delta E_{FWHM} = 2.35 \sqrt{(1.7\Delta)FE}$$

F : Fano Factor

$\Delta$  : 超伝導体のギャップ

E : 放射線のエネルギー

$$\frac{\delta E}{E} = 2.35 \sqrt{\frac{1.7\Delta F}{E}}$$
$$= 22\%$$

$\Delta$  : エネルギーギャップ

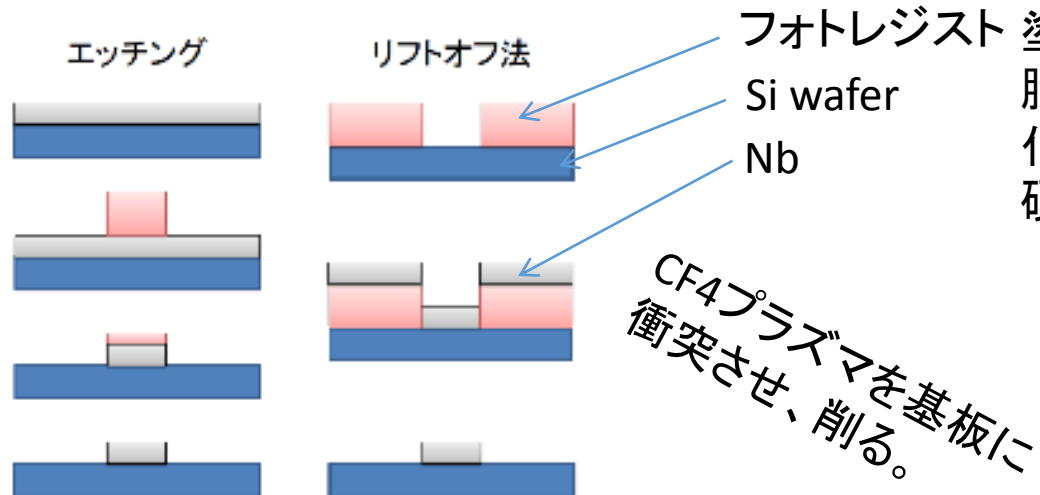
F : Fano Factor

$$Q_{30meV} = eN_q$$

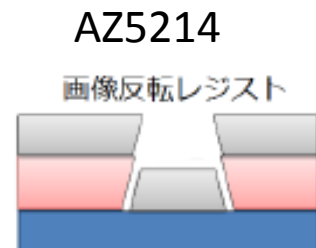
$$N_q = \frac{E_\gamma}{\varepsilon_{Nb}}$$

$$Q = 3.10 \times 10^{-18} \text{ C}$$

# リフトオフ法、エッチング法

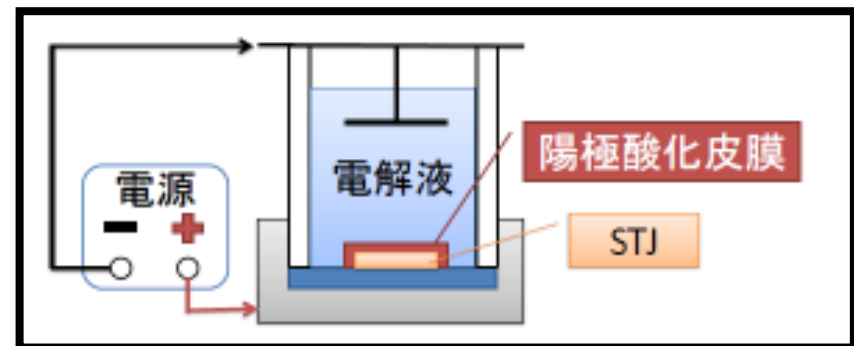
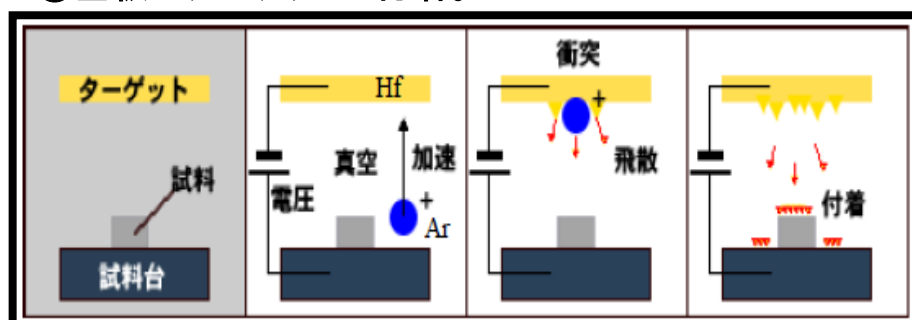


塗布、露光、現像することで硬化する樹脂。ポジレジストは光を照射部分が硬化。ネガレジストは光を未照射部分が硬化。



## スパッタリング

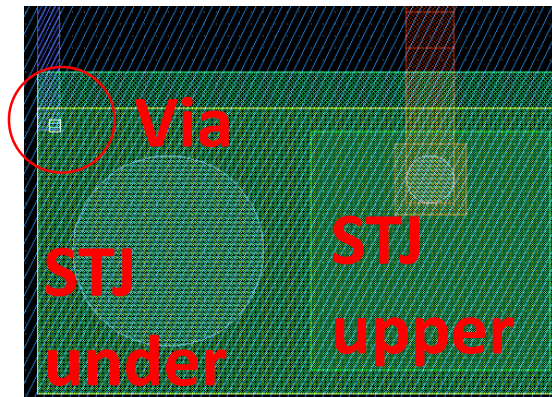
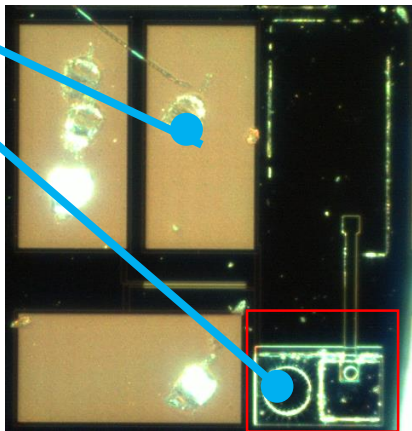
- ①成膜したい金属を上部に、膜を作るウェハを下部に配置する。
- ②Arガスをプラズマ化させ、高電圧をかけてターゲットに衝突させる。
- ③ターゲットが飛散する。
- ④基板にターゲットが付着。



# SOI-STJ研究開発の現状

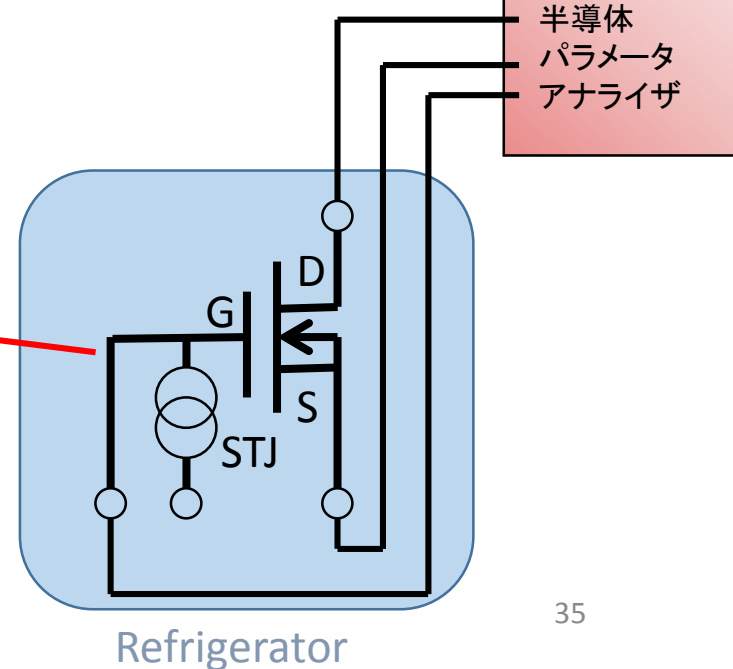
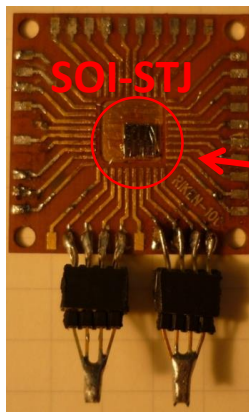
SOI wafer上にSTJを形成。

Wire  
Bonding



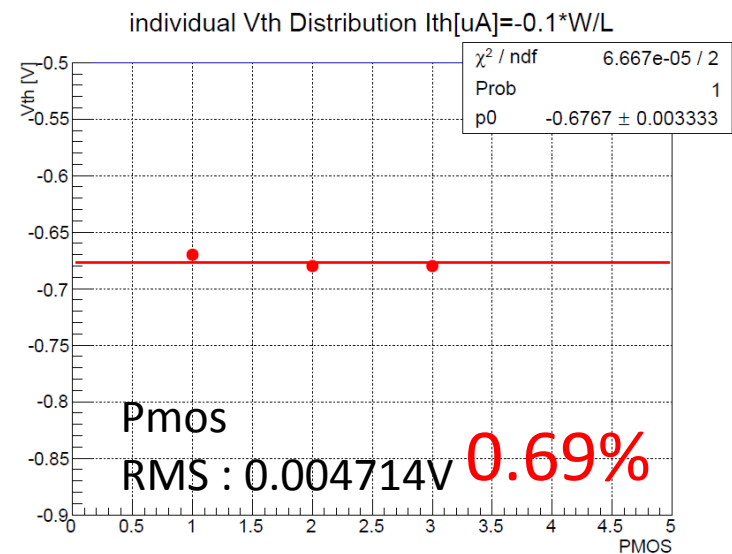
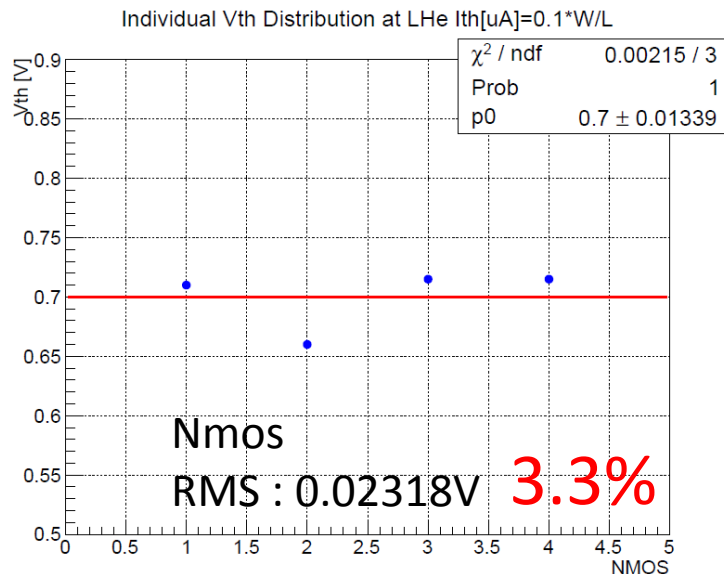
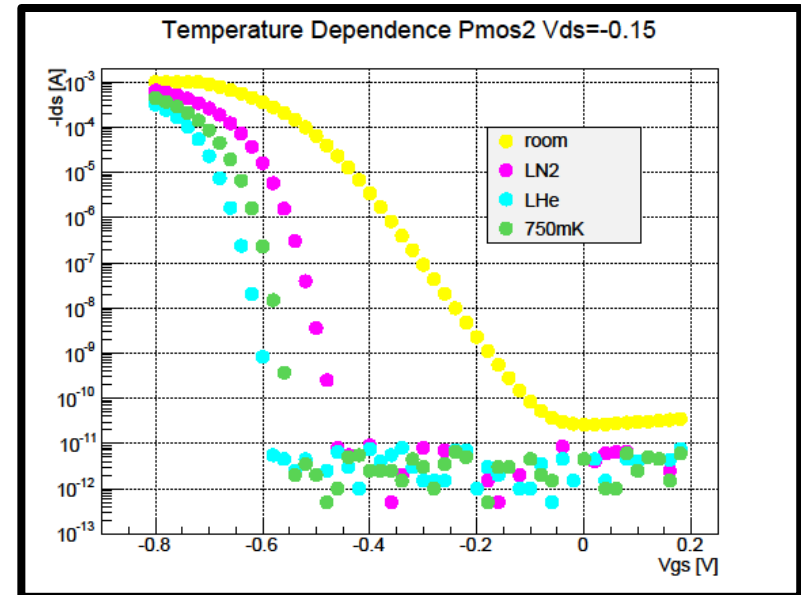
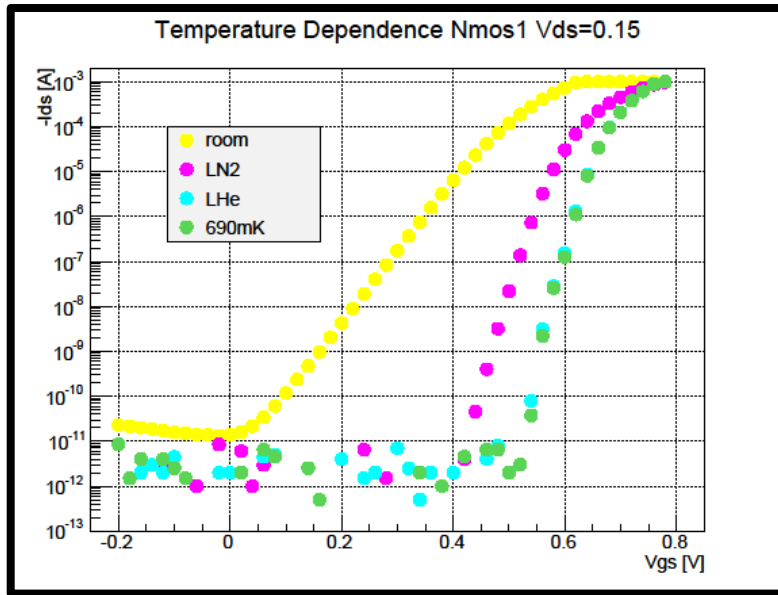
Viaを介してのSOIの回路層とSTJの電氣的接触を確認。

STJ形成後のMOSFETのHe<sup>4</sup>減圧冷却による1.8K、室温ともに正常な動作を確認した。

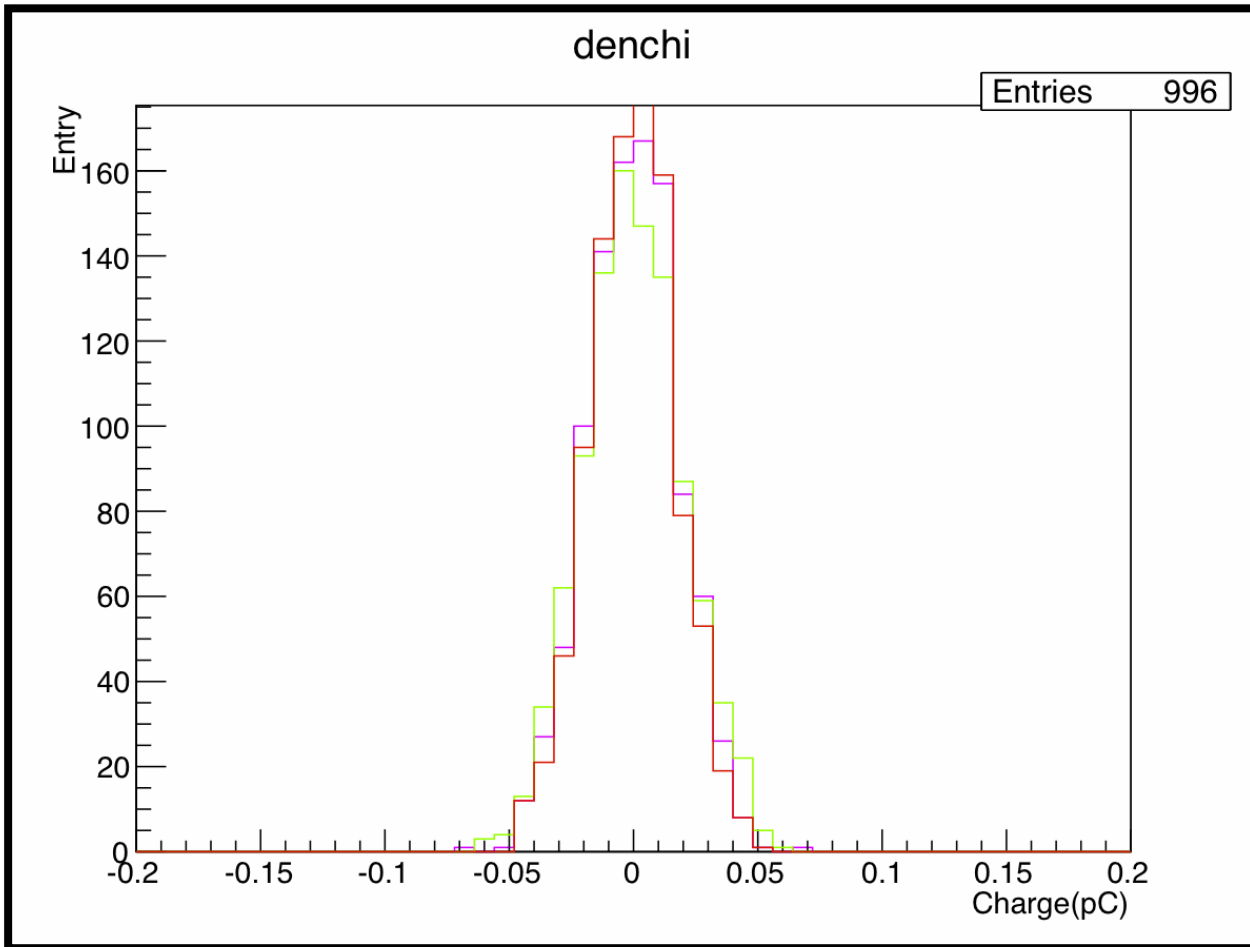




# FETの温度依存性



# Noise



ピンク : 液体窒素接地。  
緑 : 常温で接地。  
赤 : 常温で接地しない。

**RMS : 18.1157**

**RMS : 20.1661**

**RMS : 16.892**